

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-312024

(P2000-312024A)

(43)公開日 平成12年11月7日 (2000.11.7)

(51)Int.Cl.

H 01 L 31/10  
27/146  
H 04 N 5/335

識別記号

F I

テ-マ-ト<sup>\*</sup> (参考)

H 01 L 31/10  
H 04 N 5/335  
H 01 L 27/14

A  
U  
A

審査請求 有 請求項の数38 O.L (全26頁)

(21)出願番号	特願2000-49524(P2000-49524)
(22)出願日	平成12年2月25日 (2000.2.25)
(31)優先権主張番号	特願平11-49062
(32)優先日	平成11年2月25日 (1999.2.25)
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平11-49063
(32)優先日	平成11年2月25日 (1999.2.25)
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平11-49064
(32)優先日	平成11年2月25日 (1999.2.25)
(33)優先権主張国	日本 (JP)

(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(72)発明者	小塚 開 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(72)発明者	小泉 徹 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(74)代理人	100065385 弁理士 山下 穂平

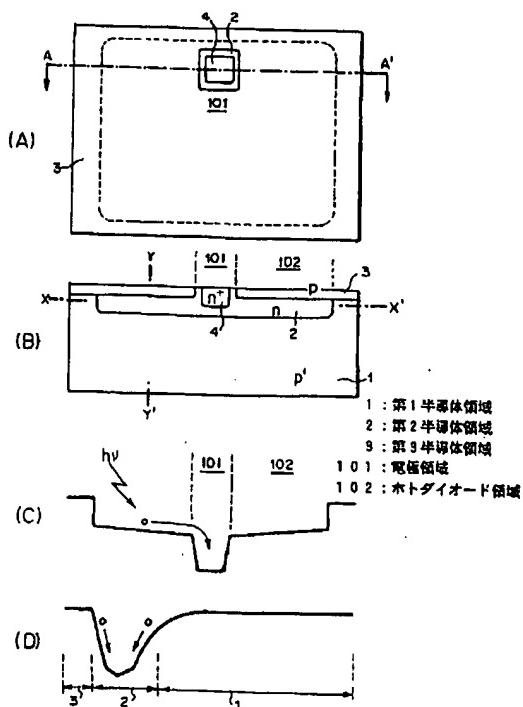
最終頁に続く

(54)【発明の名称】 受光素子及びそれを有する光電変換装置

(57)【要約】

【課題】 半導体装置のホトダイオード部のp-n接合容量を極力低減し、光生成キャリアを有効に活用することが可能な受光素子を提供し、空乏層が形成される半導体領域の欠陥発生が抑制された受光素子を提供することを課題とする。

【解決手段】 第1導電型の第1半導体領域と、該第1半導体領域の上に配された、第2導電型の第2半導体領域と、該第2半導体領域と絶縁膜との間に配された第1導電型の第3半導体領域と、上部に該第3半導体領域が存在しない該第2半導体領域内に配され、導電体からなるアノード又はカソード電極に接続された、第2導電型の電極領域と、を有する受光素子を提供する。



## 【特許請求の範囲】

【請求項 1】 第1導電型の第1半導体領域と、該第1半導体領域の上に配された、第2導電型の第2半導体領域と、該第2半導体領域と絶縁膜との間に配された前記第1導電型の第3半導体領域と、  
上部に該第3半導体領域が存在しない該第2半導体領域内に配され、導電体からなるアノード又はカソード電極に接続された前記第2導電型の電極領域と、を有することを特徴とする受光素子。

【請求項 2】 請求項 1 に記載の受光素子において、前記電極領域は浮遊状態とされて光生成電荷を蓄積し、前記第1半導体領域には該第1半導体領域と前記第2半導体領域との間に逆バイアスを印加するためのバイアス電圧が印加されることを特徴とする受光素子。

【請求項 3】 請求項 1 に記載の受光素子において、前記第3の半導体領域の下にある前記第2半導体領域は、完全空乏化していることを特徴とする受光素子。

【請求項 4】 請求項 1 に記載の受光素子において、前記電極領域は前記アノード又はカソード電極によって遮光されていることを特徴とする受光素子。  
20

【請求項 5】 請求項 1 に記載の受光素子において、前記電極領域に向けて光生成電荷を移動させ得る電位勾配が、該電極領域と前記該第2半導体領域との間に形成されていることを特徴とする受光素子。

【請求項 6】 請求項 1 に記載の受光素子において、前記第2半導体領域に向けて光生成電荷を移動させ得る電位勾配が、前記第3半導体領域と該第2半導体領域との間及び前記第1半導体領域と該第2半導体領域との間に形成されていることを特徴とする受光素子。  
30

【請求項 7】 請求項 1 に記載の受光素子において、前記アノード又はカソード電極は、読み出し回路のトランジスタのゲートに接続されていることを特徴とする受光素子。

【請求項 8】 請求項 1 に記載の受光素子において、前記第1導電型はn型、前記第2導電型はp型であることを特徴とする受光素子。

【請求項 9】 請求項 1 に記載の受光素子において、前記第1導電型はn型、前記第2導電型はp型であることを特徴とする受光素子。

【請求項 10】 請求項 1 に記載の受光素子において、前記第2半導体領域の内部には、該第2半導体領域よりも不純物濃度が高く且つ前記電極領域よりも不純物濃度が低い第2導電型の内部領域が形成されていることを特徴とする受光素子。

【請求項 11】 請求項 10 に記載の受光素子において、前記内部領域は互いに前記不純物濃度が異なる複数の領域からなることを特徴とする受光素子。

【請求項 12】 請求項 10 に記載の受光素子におい

て、

前記内部領域は、前記電極領域の周囲を囲むように形成されていることを特徴とする受光素子。

【請求項 13】 請求項 10 に記載の受光素子において、前記内部領域は、遮光膜に形成された開口部内において偏在して形成されていることを特徴とする受光素子。

【請求項 14】 請求項 10 に記載の受光素子において、前記内部領域は、前記電極領域から離れるに従って、その幅が狭くなる領域を含むことを特徴とする受光素子。

【請求項 15】 請求項 14 に記載の受光素子において、前記幅が狭くなる領域は、当該領域のコーナー部がすべて鈍角となっていることを特徴とする受光素子。

【請求項 16】 請求項 10 に記載の受光素子において、前記内部領域は、遮光膜に形成された開口部内に偏在している前記電極領域から、該開口部の中心を越えて伸びていることを特徴とする受光素子。

【請求項 17】 請求項 10 に記載の受光素子において、前記内部領域は、前記第2半導体領域より浅い位置に形成されていることを特徴とする受光素子。

【請求項 18】 請求項 1 に記載の受光素子において、前記第2半導体領域は、素子分離用の絶縁膜と離れて形成されていることを特徴とする受光素子。

【請求項 19】 請求項 1 に記載の受光素子において、前記第3半導体領域は、前記電極領域と離れて形成されていることを特徴とする受光素子。

【請求項 20】 請求項 1 に記載の受光素子において、前記第3半導体領域は、前記電極領域の周囲を囲うように形成されていることを特徴とする受光素子。

【請求項 21】 請求項 1 に記載の受光素子において、前記第2半導体領域は、当該第2半導体領域のコーナー部がすべて鈍角となっていることを特徴とする受光素子。

【請求項 22】 請求項 1 に記載の受光素子において、前記電極領域は、遮光膜に形成された開口部内的一方の端部に偏在しており、前記第1半導体領域に電圧を印加する為のコンタクトが他方の端部に設けられていることを特徴とする受光素子。  
40

【請求項 23】 請求項 20 に記載の受光素子において、前記第2半導体領域には、前記開口部内的一方の端部から他方の端部に向かう方向にポテンシャル勾配が形成されることを特徴とする受光素子。

【請求項 24】 請求項 20 に記載の受光素子において、前記第2半導体領域は当該第2半導体領域のコーナー部

がすべて鈍角になっており、前記第2半導体領域内に形成された内部領域もそのコーナー部がすべて鈍角となっていることを特徴とする受光素子。

【請求項25】 請求項1に記載の受光素子において、前記第3半導体領域と前記電極領域との間には、低不純物濃度のドープ領域が形成されていることを特徴とする受光素子。

【請求項26】 請求項23に記載の受光素子において、

前記ドープ領域の上方には前記アノード又はカソード電極が設けられていることを特徴とする受光素子。 10

【請求項27】 請求項1に記載の受光素子において、前記第3半導体領域と前記電極領域との間の領域の上方には前記アノード又はカソード電極が延在して設けられていることを特徴とする受光素子。

【請求項28】 請求項1に記載の受光素子において、前記電極領域近傍に形成される空乏層と前記絶縁膜との界面の上方には前記アノード又はカソード電極が延在して設けられていることを特徴とする受光素子。 20

【請求項29】 請求項1に記載の受光素子において、前記第2半導体領域の上面は、前記アノード又はカソード電極と前記第3半導体領域により覆われていることを特徴とする受光素子。

【請求項30】 請求項1に記載の受光素子において、前記アノード又はカソード電極は、読み出し回路のトランジスタのゲートと、リセット回路のトランジスタのソースまたはドレンと、接続されていることを特徴とする受光素子。 30

【請求項31】 請求項1に記載の受光素子において、前記第1半導体領域は、半導体基板と、該半導体基板上に形成されたエピタキシャル層と、前記半導体基板内に形成されたウエルのいずれかからなることを特徴とする受光素子。

【請求項32】 以下を有する受光素子：第1導電型の第1半導体領域と、

該第1半導体領域の上に配された、第2導電型の第2半導体領域と、

前記第1及び第2の半導体領域を含む半導体基体の表面と該半導体基板の表面に隣接する層間絶縁膜との間に配された、第1導電型の第3半導体領域と、 40

該第2半導体領域に接続された、導電体からなるアノード又はカソード電極と、を有し、

前記アノード又はカソード電極は、前記第2半導体領域と前記第3半導体領域との間に形成される空乏層が前記層間絶縁膜に接する部分の上方を覆う延在部分を含んでいることを特徴とする受光素子。

【請求項33】 請求項31に記載の受光素子において、

前記第1半導体領域はエピタキシャル層であり、その上面側内部に前記第2半導体領域が形成されており、該第 50

2半導体領域の上面の面積より前記アノード又はカソード電極の上面の面積が大きいことを特徴とする受光素子。

【請求項34】 請求項31に記載の受光素子において、

前記第2半導体領域は、互いに不純物濃度の異なる部分を有しており、該第2半導体領域の上面の面積より前記アノード又はカソード電極の上面の面積が大きいことを特徴とする受光素子。

【請求項35】 請求項31に記載の受光素子において、

前記第2半導体領域は不純物濃度の高い高濃度領域と、前記不純物濃度の低い低濃度領域とを有しており、該低濃度領域の上面に前記第3半導体領域が形成されていることを特徴とする受光素子。

【請求項36】 請求項31に記載の受光素子において、

前記アノード又は前記カソード電極の前記延在部分は、前記第3半導体領域の少なくとも上方を覆っていることを特徴とする受光素子。

【請求項37】 請求項1又は31に記載の受光素子の複数個と、前記複数個の受光素子からの光電荷をそれぞれ読み出し且つリセットする読み出し及びリセット回路と、前記読み出し及びリセット回路の出力をバッファするバッファ回路と、前記バッファ回路出力の直流成分をカットする結合コンデンサと、を有することを特徴とする光電変換装置。

【請求項38】 請求項1又は31に記載の受光素子の複数個と、前記複数個の受光素子からの光電荷をそれぞれ読み出しおよびリセットする読み出し及びリセット回路と、当該光電荷をそれぞれ選択する選択スイッチと、前記読み出し及びリセット回路の出力を一時的に記憶するメモリー部と、前記メモリー部から時系列的に読み出す読み出し走査部と、を有することを特徴とする光電変換装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、デジタルカメラ、イメージセンサ、ファクシミリ、複写機等の画像読み取りシステムに用いられるイメージセンサの受光素子構造及びそれを用いた光電変換装置に関わるものであり、特に、密着型イメージセンサのように画素の開口部が数十ミクロン以上の、比較的大きい受光素子を有する光電変換装置に好適な受光素子構造に関わるものである。

##### 【0002】

【従来の技術】近年、光電変換装置としてはCCDイメージセンサや、CMOSイメージセンサ等の非CCDイメージセンサの開発が積極的に行われている。

【0003】これらの光電変換装置の受光素子は、半導体のpn接合から成るホトダイオードを用いるのが一般

的である。

#### 【0004】従来技術（1）

例えば、特開昭55-154784号公報にはpn接合が形成されていない基板表面部に、基板と同一導電型で、かつ基板より不純物濃度が高い領域を設け、基板表面で発生する暗電流を低減させた構造が提案されている。

【0005】図29(A)、図29(B)は、従来の同公報による受光素子構造を示しており、201はn型半導体基板、202はp型半導体層、203は不純物濃度 $5 \times 10^{15} \text{ cm}^{-3} \sim 10 \times 10^{15} \text{ cm}^{-3}$ 、厚さ0.2μm～0.3μmのn型半導体層、205は熱酸化膜、208はn<sup>+</sup>チャンネルストッパー、209は窒化膜からなる無反射コーティング膜（アンチリフレクションコーティングフィルム）、215、216はアルミニウムの電極、228はn<sup>+</sup>型半導体層、238は裏面電極である。DLは空乏層、DLSは空乏層の表面側の部分を示す。

【0006】本従来例では、ホトダイオードのアノードはp型半導体層202のみで形成されているため、その濃度を低くすると電極215とのオーミックコンタクト性が悪くなり、逆に濃度を高くすると空乏層DLが半導体層202内に延びなくなってしまう。

#### 【0007】従来技術（2）

また、一次元の光電変換装置用の受光素子として、特開昭61-264758号公報に開示されているように、pn接合が形成する接合容量を低減させたものが提案されている。

【0008】図30は従来の同公報によるCCDイメージセンサのような光電変換装置の上面を示しており、301はp型基板、302はn<sup>+</sup>型の蓄積部であり、p型基板301のうち、n<sup>+</sup>型蓄積部302により囲まれた部分が画素としてのp型光電変換領域となっている。また、PGはフォトゲート、SGはシフトゲート、SRはCCDシフトレジスタである。

【0009】この構造では、p型基板301とn<sup>+</sup>型の蓄積部302とでp型光電変換素子として画像信号に応じた電気信号を生成し、フォトゲートPGとシフトゲートSGを通してシフトして行き、CCDシフトレジスタSRから水平出力線として順次画像信号を読み出していく。この構造で、pn接合部の面積は減少しているものの、pn接合の周囲長が増加するため、pn接合部の容量値を十分に小さくすることができず、高感度化が困難である。

#### 【0010】従来技術（3）

さらに密着型イメージセンサに用いる感光部構造として、例えば、特開平1-303752号公報に開示されているように、感光部構造におけるチップ端部のスクライプに起因する暗電流の低減をはかったものが提案されている。

#### 【0011】従来技術（4）

また、CCDイメージセンサにおける受光素子としては、例えば特開昭64-14958号公報に開示されているように、n型基板/p型領域/n型領域/p型領域という断面構造を有するホトダイオードが一般的に用いられている。

【0013】図32は従来の同公報による受光素子の断面を示しており、406はn型基板、401はp型半導体領域、402はn型半導体領域、403は浅いp型半導体層、408はp<sup>+</sup>型チャンネルストップ、409は絶縁膜、415はポリシリコンからなる電極、420はCCDレジスタのn型領域を示している。

#### 【0014】従来技術（5）

一方、受光素子を用いた光電変換装置として、例えば特開平9-205588号公報には、ホトダイオードを受光素子とし、この受光素子に電極を付けてMOSトランジスタのゲート電極に接続し、電荷をソースホロアンプを用いて一括読み出しを行う光電変換装置が提案されている。

#### 【0015】

【発明が解決しようとする課題】しかしながら、光生成キャリアをpnホトダイオードに蓄積し、当該pnホトダイオードから電荷-電圧変換手段を用いて、信号電圧を読み出す增幅型の光電変換装置に適用した場合、感度が低下することがある。

【0016】増幅型光電変換装置の場合、光出力Vpは①式にてあらわされる。

$$V_p = Q_p / C_s \quad ①$$

ここで、Qpはpnホトダイオードに蓄積される電荷量、Csはホトダイオードの容量である。

【0018】このホトダイオードの容量Csは、例えば、ホトダイオードにMOSソースホロアやリセットMOSトランジスタが接続されている画素を有する増幅型光電変換装置の場合、

$$C_s = C_{pd} + C_a \quad ②$$

とあらわすことができる。

【0019】ここで、Cpdは受光部を含むpnホトダイオード自体のpn接合容量、Caはホトダイオードに接続されているその他の容量で、上記の場合、MOSソースホロアを構成するMOSトランジスタのゲート容量や、リセットMOSトランジスタのソースとウェルとの

接合容量、ソースとゲートとの重なり容量、配線容量、等が含まれる。

【0020】従って、高感度を実現するためには、光生成キャリアを有効に蓄積すること、およびキャリアが蓄積されるホトダイオードの容量をできるだけ小さくすることが必要となる。

【0021】一方、ホトダイオードに光が入射すると、ホトダイオード内で電荷が発生し、半導体基板内のpn接合面により形成される空乏層及びその周囲で発生した電荷がアノード又はカソードに集まっていき、そこに電極を取り付けると電気信号として取り出すことができる。

【0022】図33は、従来の電極を有する受光素子の断面図である。701は第1半導体領域、702はアノードとなる第2半導体領域である。それぞれの導電型はn型、p型である。また、DLは第1半導体領域701と第2半導体領域702によるpn接合で形成される空乏層である。なお、図示していないが、第1半導体領域701と第2半導体領域702との間には、逆バイアスが印加されている。さらに、715は電極であり、電極715は、絶縁膜709のコンタクトホールCHを介して第2半導体領域702に接続されている。

【0023】電極715は、例えばA1等を主成分とした金属で構成され、ホトダイオードの表面を覆う絶縁膜のコンタクトホールCHを介して、半導体基板主表面上に形成した電極領域と接続されている。一般的に、このような受光素子は、半導体領域で光電変換された光キャリアによる光信号を得るために、A1等の導電性材料を半導体領域に接続した構成とされている。

【0024】例えば、一般的なRIE(反応性イオンエッティング)法を用いてこの電極を形成した場合、通常、不要な部分を残さないためにオーバーエッティングを行う。このオーバーエッティング時に、電界によって加速されたイオンの一部が絶縁膜709を突き抜けて半導体基板主表面にまで達し、半導体と絶縁膜との界面近傍にダメージを与え、これによって、結晶欠陥が発生する場合がある。

【0025】また、電極形成後の工程においても、フォトレジストのプラズマアッシング等によって、上記と同様に結晶欠陥が発生する場合がある。

【0026】一般的な受光素子においては、電極が接続された半導体基板主表面の半導体領域の周囲にはpn接合面が存在し、その接合面が半導体基板主表面と絶縁膜の界面近傍まで達していることが多い。

【0027】従って、半導体基板主表面に達している接合面よりも内側に電極を形成した場合には、エッティングダメージによる結晶欠陥が接合面付近に発生し、この結晶欠陥はキャリア発生中心となる。そして、空乏層の部分に生じた結晶欠陥は、暗電流発生の要因となる。

【0028】また、これによって発生する暗電流は、電

流などを形成する際のマスクのアライメントずれやエッチング条件によって、接合面付近に発生する結晶欠陥の量が変化したり、結晶欠陥そのものの量が変化するため、暗電流のばらつきの要因にもなる。

【0029】【発明の目的】本発明の第1の目的は、ホトダイオード部のpn接合容量を極力低減し、かつ、光生成キャリアを有効に活用することが可能な受光素子及びこれを有する光電変換装置を提供することにある。

【0030】本発明の第2の目的は、空乏層が形成される半導体領域の欠陥発生が抑制された受光素子を提供することにある。

### 【0031】

【課題を解決するための手段】本発明の受光素子は第1導電型の第1半導体領域1, 11, 21, 31, 81と、該第1半導体領域の上に配された、第2導電型の第2半導体領域2, 12, 32, 81と、該第2半導体領域と絶縁膜との間に配された第1導電型の第3半導体領域3, 13, 33, 83と、上部に該第3半導体領域が存在しない該第2半導体領域内に配され、導電体からなるアノード又はカソード電極に接続された、第2導電型の電極領域4, 14, 34, 84と、を有する。また、それぞれの部分は以下のように設計されるとより良い。

【0032】前記電極領域は浮遊状態(フローティング状態)とされて、光生成電荷を蓄積し、前記第1半導体領域には該第1半導体領域と第2半導体領域との間に逆バイアスを印加するためのバイアス電圧を印加する。

【0033】前記第3の半導体領域の下にある第2半導体領域を、完全空乏化させて容量を減らす。前記電極領域を前記アノード又はカソード電極によって遮光する。前記電極領域に向けて光生成電荷を移動させ得る電位勾配を、該電極領域と前記該第2半導体領域との間に形成する。前記第2半導体領域に向けて光生成電荷を移動させ得る電位勾配を、前記第3半導体領域と該第2半導体領域との間に形成する。前記アノード又はカソード電極を、読み出し回路のトランジスタM2のゲートに接続する。前記第2半導体領域の内部に、該第2半導体領域よりも不純物濃度が高く且つ前記電極領域よりも不純物濃度が低い第2導電型の内部領域22を形成する。

【0034】また、前記内部領域を更に互いに不純物濃度が異なる複数の領域からなるようにする。前記内部領域を、前記電極領域の周囲を囲むように形成する。前記内部領域を、遮光膜17に形成された開口部OP内において偏在して形成する。前記内部領域は、キャリアの収集効率を上げるべく前記電極領域から離れるに従って、その幅が狭くなる領域22Aを含む。前記幅が狭くなる領域の、コーナー部をすべて鈍角とする。前記内部領域を、遮光膜に形成された開口部内に偏在している前記電極領域から、該開孔部の中心を越えて伸びるようにする。前記内部領域を、前記第2半導体領域より浅い位置

に形成する。前記第2半導体領域を、素子分離用の絶縁膜と離し形成する。

【0035】また、前記第3半導体領域を、前記電極領域と離し形成する。前記第3半導体領域を、前記電極領域の周囲を囲うように形成する。前記第2半導体領域のコーナー部をすべて鈍角とする。前記電極領域を、遮光膜に形成された開口部内の方の端側に偏在して設け、前記第1半導体領域に電圧を印加する為のコンタクトを他方の端部に設ける。前記第2半導体領域に、前記開口部内の方の端部から他方の端部に向かう方向にポテンシャル勾配を形成する。前記第2半導体領域のコーナー部もすべて鈍角にし、前記第2半導体領域内に形成された内部領域のコーナー部をすべて鈍角とする。

【0036】また、前記第3半導体領域と前記電極領域との間に、低不純物濃度のドープ領域43を形成する。前記ドープ領域の上方に前記アノード又はカソード電極を設ける。前記第3半導体領域と前記電極領域との間のオフセット領域の上方に前記アノード又はカソード電極を延在して設ける。前記電極領域近傍に形成される空乏層DLと前記絶縁膜9との界面の上方に前記アノード又はカソード電極を延在して設ける。前記第2半導体領域の上面を、前記アノード又はカソード電極と前記第3半導体領域により覆う。前記アノード又はカソード電極を、読み出し回路のトランジスタのゲートと、リセット回路のトランジスタのソースまたはドレインとに、接続する。前記第1半導体領域を、半導体基板、半導体基板上に形成されたエビタキシャル層、半導体基板内に形成されたウエルのいずれかから形成する。

【0037】また、本発明の受光素子は、第1導電型の第1半導体領域51, 61, 71, 81と、該第1半導体領域の上に配された、第2導電型の第2半導体領域52, 62, 72, 82と、前記第1及び第2の半導体領域を含む半導体基体の表面と該半導体基板の表面に隣接する絶縁膜9との間に配された、第1導電型の第3半導体領域53, 63, 73, 83と、該第2半導体領域に接続された、導電体からなるアノード又はカソード電極15と、を有し、前記アノード又はカソード電極は、前記第2半導体領域と前記第3半導体領域との間に形成された空乏層DLが前記絶縁膜に接する部分59, 69, 89の上方を覆う延在部分を含んでいることを特徴とする。

【0038】又、それぞれの部分は以下のように設計するとよい。

【0039】前記第1半導体領域をエビタキシャル層で形成し、その上面側内部に前記第2半導体領域を形成し、該第2半導体領域の上面の面積より前記アノード又はカソード電極の上面の面積を大きくする。

【0040】前記第2半導体領域を互いに不純物濃度の異なる部分で形成し、該第2半導体領域の上面の面積より前記アノード又はカソード電極の上面の面積を大きく

する。

【0041】前記第2半導体領域を不純物濃度の高い高濃度領域と不純物濃度の低い低濃度領域とで形成し、該低濃度領域の上面に前記第3半導体領域を形成する。

【0042】前記アノード又はカソード電極の前記延在部分にて、前記第3半導体領域の少なくとも上方を覆う。

【0043】これらの受光素子に、原稿等の被対象物を照射するLEDのような光源と、結像素子とを組み合わせれば光電変換装置となる。

【0044】

【発明の実施の形態】本発明の実施形態について、図面を参照しつつ詳細に説明する。

【0045】(実施形態1)以下、図1(A)～(D)、図2、図3を用いて、本発明の基本形態としての第1の実施形態について説明する。

【0046】図1(A)～(D)は、本実施形態の特徴を最もよく表した図面であり、図1(A)は本実施形態の受光素子部の上面図、図1(B)は図1(A)の線分A-A'における断面図、図1(C)は、図1(B)の線分X-X'に沿った方向のポテンシャルプロファイル図、図1(D)は、線分Y-Y'に沿った方向のポテンシャルプロファイル図である。

【0047】符号1, 2, 3は、それぞれ、半導体基板内に設けられた第1導電型の第1半導体領域、上記第1半導体領域1内に設けられた上記第2導電型の第2半導体領域、この第2半導体領域2の主表面側に設けられた第1導電型の第3半導体領域である。

【0048】また、符号4は光により生成された電荷を取り出す為の、第2半導体領域2に隣接する電極領域であり、具体的には、第2半導体領域2と同じ導電型で且つそれより不純物濃度の高い高濃度不純物領域などからなる。

【0049】また、符号102は、第1、第2、第3半導体領域1, 2, 3からなる、受光領域であり、この受光領域102で、光入射により発生したキャリアが領域101に捕獲される。勿論領域101に光が入射すれば、この領域101においてもキャリアは発生する。

【0050】図1では、第1導電型をp型、第2導電型をn型として示しているが、本発明においては、その逆であっても良い。

【0051】又、必要に応じて半導体基体の表面に絶縁膜を形成し、その絶縁膜に開孔を形成し、その開孔内に電極となる導電体を形成する。

【0052】例えば、受光領域102において、光子hνによって発生したキャリア（この場合、電子）は、図1(C)に示すように横方向に移動し、電子はこのポテンシャルの溝、即ち、最もポテンシャルの低い領域4である領域101に収集される。

【0053】このようなポテンシャル構造がない場合で

は、発生した電子は、拡散により、基板中を迷走し、ライフタイム以内に領域4に到達できなければ、正孔と再結合し消滅してしまう。

【0054】図1(D)に示すように本実施形態の異なる特徴は、第2半導体領域2がほぼ全体にわたって空乏化するように、表面の第3半導体領域3、第1半導体領域1、第2半導体領域2の不純物濃度と接合深さ、及び電極領域4及び領域1に与えられる電位が設定されている点である。その結果、第2半導体領域2は容量としては、殆ど寄与しなくなり、受光部容量の低減が可能となる。

【0055】即ち、領域2と領域3との接合界面付近で発生した電子は、そのpn接合によるビルトインポテンシャルにより領域2に集められる。一方、領域2と領域3との接合界面付近で発生した電子は、そのpn接合によるビルトインポテンシャルにより領域2に集められる。ここで、受光領域102の領域2は上記2つのpn接合により殆ど空乏化している為、中性領域がない。このような状態を完全空乏化と呼ぶことにする。そして、集められた電子は、上述したように領域4に収集され不図示の電極から出力される。

【0056】図2は線分Y-Y'に沿った方向の不純物濃度の分布を示している。図2において、Np1は領域1の出発材料となっているp型半導体基板における硼素(B)のようなp型不純物濃度を、Nn1は領域2を形成する為に導入されたリンやヒ素のようなn型不純物濃度を、Np2は領域3を形成する為に導入されたp型不純物濃度を示している。

【0057】又、Ncは各領域の正味の不純物濃度(ネット値)を示している。

【0058】各領域における不純物濃度と厚さはそれぞれ以下の範囲から選択し得る。厚さのパラメータとして、基板表面からの接合深さを示す。第1半導体領域1は、その不純物濃度ND1が $10^{14} \text{ cm}^{-3}$ ~ $10^{17} \text{ cm}^{-3}$ 、より好ましくは $10^{15} \text{ cm}^{-3}$ ~ $10^{16} \text{ cm}^{-3}$ であり、接合深さは0.1μm~1000μmである。

【0059】第2半導体領域2の不純物濃度ND2は $10^{15} \text{ cm}^{-3}$ ~ $10^{18} \text{ cm}^{-3}$ 、より好ましくは $10^{16} \text{ cm}^{-3}$ ~ $10^{17} \text{ cm}^{-3}$ であり、接合深さは0.2μm~2μmである。

【0060】半導体領域3の不純物濃度ND3は $10^{16} \text{ cm}^{-3}$ ~ $10^{19} \text{ cm}^{-3}$ 、より好ましくは $10^{17} \text{ cm}^{-3}$ ~ $10^{18} \text{ cm}^{-3}$ であり、接合深さは0.1μm~0.5μmである。

【0061】電極領域4の不純物濃度ND4は、 $10^{18} \text{ cm}^{-3}$ ~ $10^{21} \text{ cm}^{-3}$ 、より好ましくは $10^{19} \text{ cm}^{-3}$ ~ $10^{20} \text{ cm}^{-3}$ であり、接合深さは0.1μm~0.3μmである。

【0062】そして、第2半導体領域2の不純物濃度ND2は、第1半導体領域1の不純物濃度ND1より高

く、第3半導体領域3の不純物濃度ND3は、第2半導体領域2の不純物濃度ND2より高くなるように定めるよ。

【0063】より詳細な説明のため、図3に電極領域4の電圧とその時の容量の関係をグラフに示す。電圧が上昇するに伴い容量は減少するが、A点を境に領域4の容量が一定となる。

【0064】電圧が低いときには、領域2は空乏化しておらず、容量は、領域2と領域3間の空乏層容量成分と、領域2と領域1間の空乏層容量成分に依存して変化することがわかる。つまり、領域4の電圧が上がるに従い、空乏層が広がるため、徐々に容量が減少するが、上下2つの空乏層が接続されると、受光領域102における領域2はほぼ完全に空乏化し、容量が急激に減少し、その後は一定になる。その遷移点が図中A点であり、以下このA点における電圧を空乏化電圧と称する。

【0065】空乏化電圧は、各領域1、2、3の厚さと不純物濃度に依存して決定されるため、(a)受光素子をリセットした状態における電極領域4の電位、(b)受光素子の光出力が飽和した状態の電極領域4の電圧を、この空乏化電圧以上に設定することで、ホトダイオード自体の容量を、実質的に符号101の底部の接合容量CO程度にまで小さくすることが可能となり、高感度が実現できる。

【0066】ここで、光により発生した電荷が電極領域に蓄積されることにより、電極の電位は変化するが、動作点(電位の変化する範囲)を空乏化電圧以上になるよう設計することにより、電極領域4の容量は線形性を有するため、高感度でかつ線形性の良好な光電変換特性を得ることができる。

【0067】また、空乏化電圧を境に電圧が低くなると容量値は、COから、領域2の面積で決定される容量値まで指数関数的に増加する。

【0068】具体例を挙げて説明するに、領域1の厚さが約600μm、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 、領域2の接合深さが0.5μm、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 、領域3の接合深さが0.2μm、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、領域4の接合深さが0.2μm、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、領域2の上面の面積が80μm×80μm、領域4の上面の面積が1.2μm×1.2μmの受光素子の場合のホトダイオードの容量に比べて領域4が空乏化しない場合のホトダイオードの容量比は約4400倍となる。

【0069】もし図1(C)のようなポテンシャルプロファイルがない場合、電極領域4の近傍で発生した電子は、そこに到達しやすいが、受光面の端で発生した電子が、約40μm離れた電極領域に到達する確率は極めて低く、結果として、感度が大きく損なわれる。

【0070】これに対し、本実施形態の構造では、少なくとも表面から約1μm以内に発生した電子は受光面内

のどこであっても殆ど収集することができる。特に、青色光のその殆どがシリコン表面  $1 \mu\text{m}$  以内で吸収されるので、可視光センサで問題となる青色の感度は向上する。

【0071】また、高エネルギーイオン注入などの技術を用い、基板内部に不純物濃度のピーク値をもつようなレトログレードウエル構造などを用いたり、その逆に基板1の濃度を下げ、空乏層を広げることでより、深いところで発生した電子を収集することもできる。

【0072】さらに、基板表面の高濃度の不純物層を形成し、その上に低不純物濃度のエビタキシャル層を設け、本発明を適用することにより、長波長感度の高い受光部構造を得ることも可能である。

【0073】図4は本発明に用いられる読み出し及びリセット回路の一例を示す。図4において、D1は本発明による受光素子からなるホトダイオード、M1はMOSトランジスタ等からなるリセットスイッチ、M2はMOSトランジスタ等からなる増幅素子、M3はMOSトランジスタ等からなる負荷であり、選択用スイッチとして用いることができる。また、VRはリセット用の基準電圧を与えるリセットライン又はリセット端子、VDDは、電源電圧を与える電源電圧ライン又は電源電圧端子、 $\phi_{\text{r}}$ はリセットスイッチM1をオン／オフする為のリセット制御線、 $V_{\text{out}}$ は出力端子である。

【0074】図4の読み出し及びリセット回路の動作について説明する。リセット制御線 $\phi_{\text{r}}$ に、リセットスイッチM1をオンにしてカソード（図1（A）の領域4）に空乏化電圧以上のリセット用基準電圧を与えて、増幅素子M2のフローティングゲートをリセットした後、リセットスイッチM1をオフすると、光キャリアの蓄積が開始され、増幅素子M2の入力端子の電位が変化する。所定の蓄積時間が経過した後、選択ライン $\phi_{\text{s}}$ にオンパルスを入力して選択スイッチM3をオンすれば、トランジスタM2、M3を有するソースホロア回路を通して光キャリアに応じた電流が流れ、出力信号が得られる。

【0075】（実施形態2）図5（A）は本実施形態による受光素子の上面図、図5（B）は図5（A）の線分B-B'による断面図である。

【0076】図5において、符号11は第1導電型（ここではn型）の第1半導体領域、12は第2導電型（ここではp型）の第2半導体領域、13は第1導電型の第3半導体領域、14は第2導電型で不純物濃度の高い電極領域である。

【0077】本実施形態においては、受光素子を分離する為にLOCOS等と呼ばれる選択酸化法等により形成される素子分離領域（アイソレーション領域）5が形成されている。

【0078】つぎに、本実施形態による受光素子の製造方法について説明する。不図示の窒化シリコン膜SiNを耐酸化マスクとして形成し、そこから露出した部分に

厚い酸化膜を形成する選択酸化法により酸化シリコンSiO<sub>2</sub>からなる素子分離領域5を形成する（図6（A））。このような方法はLOCOSとして知られている。

【0079】次に、不図示のフォトレジストマスクを形成し、イオン注入を行い、熱処理することにより、p型の第2半導体領域12をn型の半導体基板からなる第1半導体領域11内に形成する。欠陥が多く存在する素子分離領域5のエッヂ104から、第2半導体領域12のエッヂ103が離れるようにすることで、pn接合により形成される空乏層がエッヂ104に到達しないようにしている。こうすると、欠陥に因る暗電流の発生を抑えることができる（図6（B））。

【0080】次に、不図示のフォトレジストマスクを形成してイオン注入を行い、フォトレジストマスクを除去して熱処理することにより、n型の第3半導体領域13を基板の表面に形成する（図6（C））。

【0081】そして、不図示のフォトレジストマスクを形成して、イオン注入を行い、フォトレジストマスク除去後の熱処理により、p型の電極領域14を形成すると、図5（B）に示した構造が得られる。

【0082】その後は、必要に応じて表面を覆う絶縁膜を形成し、コンタクトホールを開けて、同じ半導体基板の別の場所に形成された読み出し及びリセット回路と配線を通じて電極領域14を接続すればよい。

【0083】本実施形態は、ホトダイオードのアノードから信号を出力する構成である為、それに用いられる読み出し及びリセット回路の構成も、電位の高低関係や導電型が逆になる。

【0084】図7は本発明に用いられる別の読み出し及びリセット回路の回路図である。図7において、D1が本発明の受光素子からなるホトダイオードであり、M2、M3はそれぞれ増幅素子及び選択素子であり、ホトダイオードD1で発生した光電荷を電荷電圧変換して読み出すためのアンプであるソースフォロアを構成している。画素の選択は、ソースフォロアの低電流源であるスイッチM3をON/OFFすることで行った。選択スイッチM3で画素の光電荷情報を読み出したのち、リセットスイッチM1により、ホトダイオードD1をリセットした。リセット電圧（ $\phi_{\text{r}} - V_{\text{th}}$ ）は、空乏化電圧以上の逆方向電圧がホトダイオードのアノードに印加されるように、リセット電圧を設定した。ここで、 $V_{\text{th}}$ はリセットスイッチM1のしきい値である。ソースフォロア構成の増幅素子M2及び選択素子M3の出力は、選択素子のオン時間をずらせて、各光電荷情報をバッファB1、直流成分をカットする結合コンデンサC、バッファB2とを介して、出力する。

【0085】例えば、空乏化電圧が、ホトダイオードD1の逆方向バイアス電圧で、1.0voltであったため、リセット電圧は、逆方向バイアス電圧で3volt

印加される様に設定した。即ち、端子VDDに印加される電源電圧を5voltで利用した場合、リセット端子VRに印加される電圧を2.0voltに設定し読み出し動作を行った。

【0086】本実施形態において、受光面のサイズを40μm×40μmとし、電極領域14の上面のサイズを、6μm×6μmとした場合、ホトダイオードの容量は3.8fFと、従来に比べかなり低くなり、高い光電変換感度を得ることができた。

【0087】また、本実施形態においては、受光面前領域での映像情報を得られ、高精細な映像を得ることができます。

【0088】特に本実施形態は、光の収集効率が悪くなるような受光面が大きい受光素子の場合に有効である。受光面のサイズが20μm角以上になると、収集効率が悪化はじめることから、特にこのサイズより大きな受光面をもつ受光素子に有効である。

【0089】(実施形態3)図8(A)は本発明による実施形態3による受光素子の上面を、図8(B)は図8(A)の線分C-C'による断面を示している。

【0090】図5(A), (B)に示した形態と異なる点は、第2半導体領域が互いに不純物濃度の異なる2つの領域からなる点である。図8において、電極領域14に接する内部領域22は、外部領域12よりも不純物濃度が高く、且つ電極領域14より不純物濃度が低い。内部領域22の接合深さは外部領域12より浅くても或いは深くてもよい。

【0091】図9は、図8(A)の線分C-C'に沿った方向におけるポテンシャルプロファイルを示している。互いに不純物濃度の異なる内部領域22と外部領域12よりも、図1(C)よりも急なポテンシャル勾配が形成される。こうして、受光面端部において発生した電荷を、電極領域14に集めやすくなり、光信号読み出し時間を短くすることができる。

【0092】つぎに、本実施形態による受光素子の製造方法について、図10を参照しつつ説明する。n型の半導体基板11に、不図示の窒化シリコン膜を耐酸化マスクとして形成し、そこから露出した部分に厚い酸化膜を形成する選択酸化法により酸化シリコンからなる素子分離領域5を形成する(図10(A))。

【0093】不図示のフォトレジストマスクを形成し、イオン注入を行い、熱処理することにより、p型の第2半導体領域12をn型の半導体基板からなる第1半導体領域11内に形成する。欠陥が多く存在する素子分離領域5のエッヂ104から、第2半導体領域12のエッヂ103が離れるようにすることで、pn接合により形成される空乏層がエッヂ104に到達しないようにしている。

【0094】こうすると、欠陥に因る暗電流の発生を抑えることができる。そして、不図示のフォトレジストマ

スクを形成し、イオン注入と熱処理により不純物濃度の高い内部領域22を形成する(図10(B))。

【0095】つぎに、イオン注入と熱処理により、n<sup>+</sup>型の第3半導体領域13を形成する(図10(C))。

【0096】そして、イオン注入と熱処理により、p<sup>+</sup>型の電極領域14を形成すると、図8(B)の構造が得られる。

【0097】その後は、必要に応じて表面を覆う透明な絶縁膜を形成し、絶縁膜に開孔を形成し、同じ半導体基板の別の場所に形成された読み出し及びリセット回路と、配線を通じて、電極領域14を接続すればよい。

【0098】本実施形態による読み出し回路やリセット回路としては、前述したとおり図7に示したものと同じ回路を採用し得る。

【0099】(実施形態4)図11(A)は本実施形態による受光素子の上面を、図11(B)は図11(A)の線分D-D'による断面を示している。

【0100】図5(A), (B)に示した形態と異なる点は、p型の半導体基板6の表面にエビタキシャル成長により形成したn型のエビタキシャル層21を第1半導体領域とした点である。このn型のエビタキシャル層21を形成した後、イオン注入等でp型の第2半導体領域12を形成し、更に、イオン注入と熱処理により、n<sup>+</sup>型の第3半導体領域13を形成し、そして、イオン注入と熱処理により、p<sup>+</sup>型の電極領域14を形成する。

【0101】本実施形態においては、n型のエビタキシャル層21を形成する代わりに、p型の半導体基板内にイオン注入と熱処理により形成したn型のウエルを用いることもできる。

【0102】本実施形態によれば、p型の基板の深い位置で発生した電荷がp型の第2半導体領域12に達することを防止できる。

【0103】具体的には、ウエルの厚さを例えば4μm程度にすると、受光素子の表面から約4μm離れた深さの位置で発生するホールの殆どが、p型の基板に流れれる為、暗電流の発生を抑制できる。

【0104】図5(A), (B)のような構造の場合には、リセット回路や読み出し回路を駆動する際に発生するノイズが、第2の半導体領域に入り込み易い。一方、本実施形態のように、個々に或いは全画素に共通に形成されたウエル内に、第2の半導体領域を形成することにより、上記ノイズの入り込みを抑制できる。

【0105】(実施形態5)図12は本実施形態5による受光素子の上面を示しており、図13は図12の線分E-E'による断面を、図14は図12の線分F-F'による断面を、それぞれ示している。

【0106】図12において、開口部OP中に受光素子となるホトダイオードを構成するp型の第2の半導体領域32が形成され、この領域32中にはp型の内部領域22が形成されている。また、内部領域22中にはp<sup>+</sup>

の電極領域34が形成されており、この電極領域34は、リセット用スイッチとなるMOSトランジスタM1のドレン部、及び増幅素子となるソースホロアMOSトランジスタM2のゲート部に第1の金属層で形成される配線15により電気的に接続されている。また、受光素子の開口部OPは第2の金属層で形成される遮光層17により規定され、かつこの遮光層17は電源に接続され、所定の基準電位に固定されている。

【0107】ここで、 $p^+$ 型の電極領域34は開口部の中心よりもリセット用のMOSトランジスタM1のドレン部、及びソースホロアMOSトランジスタM2が配置されている方向へ寄せて配置されており、かつ、電極領域34と反対側には第1半導体領域としてのn型ウエル領域31の電位を定めるための電源線16が設けられている。尚、同図において開口部OPの大きさは $40\mu m \times 60\mu m$ としている。

【0108】図13、図14を見れば、 $p$ 型半導体基板6に設けられたn型ウエル領域31の開口部OP中に第2半導体領域32が形成され、さらに第2半導体領域32中に内部領域22が形成され、さらに内部領域22中に電極領域34が島状に設けられている様子がわかる。

【0109】また、第2半導体領域32、内部領域22の主表面には、第3半導体領域としてn型表面領域33が設けられ、n型ウエル領域31と開口部OPの端で電気的に接続されている。

【0110】従って、 $p$ 型半導体からなる第2半導体領域\*

$p$ 型基板6	: 約 $1 \times 10^{15} (cm^{-3})$
第1半導体領域31	: 約 $1 \times 10^{17} (cm^{-3}) / 約4.0\mu m$
第2半導体領域32	: 約 $2 \times 10^{17} (cm^{-3}) / 約0.35\mu m$
内部領域22	: 約 $3 \times 10^{17} (cm^{-3}) / 約0.30\mu m$
第3半導体領域33	: 約 $3 \times 10^{16} (cm^{-3}) / 約0.20\mu m$
電極領域34	: 約 $3 \times 10^{19} (cm^{-3})$

また、本実施例における領域32、領域22のおののおのの空乏化電圧は、  
領域32: 約-1.0V  
領域22: 約-1.5V

となっている。

【0116】従って、領域32、領域22の空乏化電圧が電極領域34に向かって高くなっているため、光キャリアのポテンシャルの勾配が形成され、より効率よく光キャリアを電極領域34部分に収集することが可能となる。

【0117】また、本実施形態においては、領域32及び領域22の角部がすべて鈍角から成るように露光用のフォトマスク(レチクル)を形成しているため、コーナー部の電界不均一によるポテンシャルの溝が形成されにくく、残像特性が向上する。さらに、領域31は $p$ 型基板6中に形成され、かつ画素ごとに $p$ 型ウエル領域7で周囲を囲まれた構造となっているため、隣接画素へ光キャリアが混入することにより発生するクロストークを、ほぼ完全に抑制することができ、高品質な解像パターン

\* 域32及び内部領域22とn型半導体からなる第1及び第3半導体領域31、33とのpn接合によってホトダイオードが形成されており、ホトダイオードで光電変換された光キャリアは $p^+$ 型半導体からなる電極領域34に収集され、第1の金属層で形成される配線15の電位を変化せしめる。

【0111】さらに、電極領域34、第2の金属層で形成される遮光層17の上部には保護膜18が設けられている。

【0112】ここで、図12に示すように、 $p^+$ 型領域34は開口部OPの中心よりもリセット用MOSトランジスタM1、及びソースホロアMOSトランジスタM2が配置されている側、すなわち図14中の右側に配置されており、一方、n型ウエル領域31に電圧を供給するための電源線16のコンタクトは $p^+$ 型領域(151)

1)の反対側のみに配置されている。

【0113】尚、ここで、n型ウエル領域31は $p$ 型基板6中に形成され、かつ画素ごとに素子分離領域として働く $p$ 型ウエル領域7で周囲を囲まれており、画素ごとにpn接合によって電気的に分離された構造となっている。

【0114】図13、図14において、おののの領域のおおよその表面濃度及び接合深さの代表的値を以下に示す。

【0115】

を得ることができる。

【0118】また、ある画素に飽和以上の光キャリアが蓄積されても、あふれた光キャリアは、周囲の $p$ 型ウエル領域7や基板6に吸収されるため、他の画素へ影響を与えることなく、にじみの少ない、高品質な画像を得ることができる。

【0119】尚、本実施形態においては、ホトダイオードを形成する領域として、領域32、及び領域22を図示しているが、例えば、内部領域22の内側に電極領域34を含むような第2の $p$ 型内部領域を設け、この第2の内部領域における空乏化電圧を内部領域22の空乏化電圧よりも高くなるような不純物濃度、及び接合深さに設定することにより、さらに低残像特性を有する受光素子を形成することも可能である。

50 【0120】(実施形態6) 図15は本実施形態6によ

る受光素子の上面を示しており、図16は図15の線分G-G'による断面を、図17は図15の線分H-H'による断面を、それぞれ示している。

【0121】本実施形態が図12～図14に示した形態と異なる点は、p型半導体からなる内部領域22の平面形状を、幅が徐々に変化する部分をもつように、変更した点にある。

【0122】また、その幅が図中下方に向かって狭くなる部分22Aは、図中上方から受光面(開口部)の中心を越えて下方に延在している。

【0123】なお、図17に示す符号8は高不純物濃度のコンタクト領域であり、電源線16のカソードコンタクトになっている。

【0124】図15～図17において、開口部OP中に受光素子となるホトダイオードの第2半導体領域が形成され、この領域32中には内部領域22が形成されている。また、内部領域22中には電極領域34が形成されており、この領域34は、リセット用MOSトランジスタM1のドレイン部、及びソースホロアMOSトランジスタM3のゲート部に第1の金属層で形成される配線15により電気的に接続されている。また、受光素子の開口部OPは第2の金属層で形成される遮光層17により規定され、かつこの遮光層17は電源に接続され、所望の電位に固定されている。

【0125】ここで、電極領域34は開口部の中心よりもリセット用MOSトランジスタM1のドレイン部、及びソースホロアMOSトランジスタM2が配置されている方向へ偏って配置されており、かつ、電極領域34と反対の開口部側には、第1半導体領域としてのn型ウエル領域31に逆バイアス電圧を供給するための電源線16が設けられている。尚、同図において開口部OPの大きさは $40\mu\text{m} \times 60\mu\text{m}$ としている。

【0126】また、領域32及び領域22の主表面には、第3半導体領域としてのn型表面領域33が設けられ、n型ウエル領域31と電気的に接続されている。

【0127】従って、p型の領域32及び領域22とn型の領域31及び領域33とのpn接合によってホトダイオードが形成されており、ホトダイオードで光電変換された光キャリアは領域34に収集され配線15の電位を変化せしめる。

【0128】さらに、第2の金属層で形成される遮光層17の上部には保護膜17が設けられている。

【0129】ここで、電極領域34は開口部の中心よりもリセット用MOSトランジスタM1及びソースホロアMOSトランジスタM2が配置されている側、すなわち図17中の右側に配置されており、一方、n型ウエル領域31の電位を供給するための電源線16のコンタクトは電極領域34と反対側(図17の左側)のみに配置されている。

【0130】尚、ここで、n型ウエル領域31はp型基

板6中に形成され、かつ画素ごとにp型ウエル領域7で周囲を囲まれており、画素ごとに電気的に分離された構造となっている。

【0131】さらに、内部領域22は電極領域34に向かって、その幅がW1からW2( $W2 > W1$ )と徐々に広がる形状を有しており、また、領域32及び領域22の上面の角部は、すべて90度より大きい鈍角から成る形状を有している。

【0132】図16、図17において、おのおのの領域のおおよその表面濃度/接合深さの代表値を、以下に示す。

### 【0133】

p型基板6：約 $1 \times 10^{15} (\text{cm}^{-3})$

領域31：約 $1 \times 10^{17} (\text{cm}^{-3})$ ／約 $4.0\mu\text{m}$

領域32：約 $2 \times 10^{17} (\text{cm}^{-3})$ ／約 $0.35\mu\text{m}$

領域22：約 $3 \times 10^{17} (\text{cm}^{-3})$ ／約 $0.30\mu\text{m}$

領域33：約 $3 \times 10^{18} (\text{cm}^{-3})$ ／約 $0.20\mu\text{m}$

領域34：約 $3 \times 10^{19} (\text{cm}^{-3})$

また、本実施例における領域32、領域22のおのおのの空乏化電圧は、

領域32：約-1.0V

領域22：約-1.5V

となっている。

【0134】従って、領域32、領域22の空乏化電圧が電極領域34に向かって大きくなっているため、光キャリアのポテンシャルの勾配が形成され、より効率よく光キャリアを領域54に収集することが可能となる。

【0135】さらに、第1半導体領域であるn型ウエル領域31の電位を固定するための電圧を供給する電源線16は領域34の反対側に設けられているため、光生成電子による光電流が、n型ウエル領域31内をコンタクト領域8に向かって流れることにより、コンタクト領域8から領域34に向かってポテンシャル勾配が生成され、光生成ホールをより効率よくp'型領域511部分に収集することができ、残像特性が向上する。

【0136】加えて、本実施形態においては、領域22を領域34に向かってその幅が広がる部分を有しているため、ポテンシャル勾配によって領域22の先端部に到達した光生成ホールが領域34に向かって流れの場合、光生成ホールによる光電流に対して領域22のシート抵抗が徐々に小さくなることにより、高速に光生成ホールを領域34に収集することができるため、高速動作時における残像特性が向上する。

【0137】また、領域22の先端を開口OPの中心を越えて配置している為、コンタクト領域8側でのホールの収集効率が向上する。

【0138】また、領域32及び領域22のコーナーがすべて鈍角から成る形状になっているため、コーナー部の電界不均一によるポテンシャルの溝が形成されにくく、残像特性はさらに向上する。このような形状は、フ

21

オトレジストの露光時に用いるフォトマスクのパターンにより容易に作れる。

【0139】さらに、領域31はp型基板6中に形成され、かつ画素ごとにp型ウエル領域7で周囲を囲まれた構造となっているため、隣接画素へ光キャリアが混入することにより発生するクロストークをほぼ完全に抑制することができ、高品質な解像パターンを得ることができること。

【0140】また、ある画素に飽和以上の高キャリアが蓄積されても、あふれた光キャリアは周囲の領域7や基板6に吸収されるため、他の画素へ影響を与えることなく、にじみの少ない、高品質な画素を得ることができること。

【0141】尚、本実施例においては、ホトダイオードを形成する領域として、領域32及び領域22を図示しているが、例えば、内部領域22の内側に更に領域34を含むような第2の内部領域22を設け、この第2の内部領域における空乏化電圧を内部領域22の空乏化電圧よりも高くなるような不純物濃度、及び接合深さに設定することにより、さらに低残像特性を有する受光素子を形成することも可能である。

【0142】(実施形態7) 図18は本実施形態による受光素子の上面を、図19は図18の線分I-I'による断面を示している。

【0143】本実施形態7の受光素子の特徴は、電極領域34と半導体領域33との間のオフセット領域に低不純物濃度のドープ領域43を形成した点にある。

【0144】図18、図19において、開口部OP中に受光素子となるホトダイオードの第2半導体領域32としてのp型領域が形成され、このホトダイオードのp型領域32中に形成された電極領域34としてのp<sup>+</sup>型領域は、リセット用MOSトランジスタM1のドレイン\*

p型基板6	: 約1×10 <sup>11</sup> (cm <sup>-3</sup> )
n型ウエル領域31	: 約1×10 <sup>17</sup> (cm <sup>-3</sup> ) / 約4.0 μm
p型領域32	: 約2×10 <sup>11</sup> (cm <sup>-3</sup> ) / 約0.35 μm
第1のn型表面領域33	: 約3×10 <sup>10</sup> (cm <sup>-3</sup> ) / 約0.20 μm
第2のn型表面領域43	: 約3×10 <sup>17</sup> (cm <sup>-3</sup> ) / 約0.1 μm
p <sup>+</sup> 型領域34	: 約3×10 <sup>19</sup> (cm <sup>-3</sup> )

従って、仮に第2のn型表面領域43がない場合には、オフセット領域の表面近傍は不純物濃度が10<sup>17</sup> cm<sup>-3</sup>以下のp型領域となる。又、半導体表面近傍のボロン濃度は製造プロセスにより変動しやすいため、このオフセット領域で発生するキャリアが暗電流、及び暗電流ばらつきの原因となる。

【0152】一方、このオフセット領域を形成しないようにp<sup>+</sup>型領域34と第1のn型表面領域33とを接触させると、p<sup>+</sup>型領域34と第1のn型表面領域33との間に逆バイアスによりブレークダウンを引き起こし易くなる。

【0153】これに対して、この第2のn型表面領域4

\*部、及びソースホロアMOSトランジスタM2のゲート部に第1の金属層で形成される配線15により、電気的に接続されている。また、受光素子の開口部OPは第2の金属層で形成される遮光層17により規定され、かつこの遮光層17は電源に接続され、所望の電位に固定されている。ここで、開口部OPの大きさは40 μm × 40 μmとしている。

【0145】p型半導体基板6に設けられたn型ウエル領域31の開口部OP中にp型領域32が形成され、さらにp型領域32中にはp<sup>+</sup>型領域34が島状に設けられている。

【0146】また、p型領域34の主表面には、第3半導体領域としてのn型表面領域33が設けられ、n型ウエル領域31と電気的に接続されている。

【0147】ここで、n型表面領域33は直接p<sup>+</sup>型領域34と接しないように約2 μmのオフセット(間隔)を設けて配置され、さらに、このオフセット領域を含む受光素子全面に第2のn型表面領域43が形成されている。

【0148】従って、p型領域32とn型の領域31、33、43とのpn接合によってホトダイオードが形成されており、ホトダイオードで光電変換された光キャリアはp<sup>+</sup>型の電極領域34に収集され、第1の金属層で形成される配線15の電位を変化せしめる。

【0149】さらに、半導体表面と第1の金属層との間、及び第1の金属層と第2の金属層との間には層間絶縁膜9が配され、第2の金属層で形成される遮光層17の上部には保護膜18が設けられている。

【0150】図19において、おのおのの領域のおおよその表面濃度/接合深さを以下に示す。

#### 【0151】

3の表面濃度を、10<sup>17</sup> ~ 10<sup>18</sup> cm<sup>-3</sup>程度に設定することにより、p<sup>+</sup>型領域34と第1のn型表面領域33の間に逆バイアスを印加してもブレークダウン等の不具合は起こらない。

【0154】また、オフセット領域を小さくしすぎると、フォトリソグラフィーにおけるアライメントずれ等により、p<sup>+</sup>型領域511と第1n型表面領域520とが接触する確率が高くなり、歩留まりが低下する。

【0155】従って、低ドープ領域43としてのn型半導体により、オフセット領域の表面近傍の濃度は10<sup>17</sup> cm<sup>-3</sup>程度のn型領域となるため、オフセット領域でのキャリア発生を抑制することが可能となる。例えばイオ

ン注入法により、この第2のn型表面領域43を受光部全面に形成しても、第1のn型表面領域33、及びp<sup>+</sup>型領域34に対して不純物濃度が十分に小さいため、これらの領域にはほとんど影響を与えない。このようにフォトリソグラフィーにおけるアライメントズレ等の問題がないので、選択的にオフセット領域の表面濃度を制御し、暗電流の低減を図ることができる。

【0156】本発明者の知見によれば、暗電流を測定した結果、第2のn型表面領域43がある場合には、ない場合に比べて、暗電流が1/3に低減される。

【0157】ここで、本実施形態における半導体領域32の空乏化電圧は、約-2Vであった。従って、例えば、電源電圧5V動作においてn型ウエル領域31を電源電圧に接続した場合には、p<sup>+</sup>型領域34及び配線15の電位が3V以下であれば、p型領域32は空乏化して、中性領域がなくなる。

【0158】上記の空乏化電圧は、主として、n型ウエル領域31、p型領域32、第1のn型表面領域33の、おののの不純物濃度、及び接合深さに対して敏感に変化する。よって空乏化電圧の製造上のバラツキは、例えば、±3σで、±1.0V程度と、比較的大きくなるが、空乏化電圧、及び動作点を適当な領域に設定することにより、空乏化電圧がばらついても高歩留まりを維持することができる。

【0159】尚、本実施形態においては、オフセット領域表面でのキャリア発生を抑制するために、n型の表面領域43を設けたが、n型に限らず、p型の第2表面領域を設けても暗電流抑制が実現できる。この場合、p型の中性領域は増加するが、設計的に受光部容量に余裕がある場合はこのようにp型でも良い。いずれの場合においても、暗電流低減とブレークダウン防止という観点から、オフセット領域における不純物濃度は、10<sup>16</sup>~10<sup>19</sup>cm<sup>-3</sup>程度、より好ましくは、5×10<sup>16</sup>~5×10<sup>17</sup>cm<sup>-3</sup>である。

【0160】n型ウエル影響31は、p型基板6中に形成され、かつ画素ごとにp型ウエル領域7で周囲を囲まれた構造となっている。

【0161】次に、図20(A)~20(D)を参照して本実施形態による受光素子の製造方法について述べる。

【0162】p型半導体基板6の表面側にn型のウエル領域31とp型の領域7とを形成する。

【0163】選択酸化によりフィールド絶縁膜5を形成する。フィールド絶縁膜5で囲まれた領域の内部にホトダイオードとなるP型の半導体領域32を形成した後、その表面にn型の半導体領域33を形成する。

【0164】基板表面にイオン注入を行いn型の半導体層43を形成する。そして、p型の電極領域34を形成する。

【0165】電極領域34と半導体領域33との間の間

隔(オフセット領域の幅)は0.4μm~1.5μm、より好ましくは0.5μm~1.0μmであり、オフセット領域における不純物濃度は、半導体領域33や電極領域34より1桁以上低い濃度とし、更に半導体領域32より高い濃度にする。

【0166】次に再び本発明に用いられる読み出し及びリセット回路の別の形態について、図21、図22を参考して説明する。

【0167】図21は、上記本実施形態による回路の回路図である。

【0168】図21において、D1は本発明の各実施形態による受光素子としてのホトダイオードであり、M2は増幅素子のPMOSトランジスタであり、選択用スイッチM3を介して定電流源と対で、ソースフォロアを形成する。M1はリセット用スイッチであり、M3は選択用スイッチである。M4はホトダイオードの信号をソースフォロアの入力端子に光電荷を転送するための転送用スイッチである。

【0169】ソースフォロアから読み出された、光信号とリセット信号を各々メモリ部MEに転送し、読み出し走査回路RE等を介し、バッファB1、結合コンデンサC、バッファB2を通って、外部に出力される。

【0170】本実施形態によれば、特に電極の面積を1μm角に抑えた結果、接合容量を0.1fFに押さえることができる。この結果、リセットノイズを電子4個程度に抑制することができ、ダイナミックレンジが10ビットであっても残像のない固体撮像装置を高い歩留まりで提供することができた。

【0171】次に、本発明に用いられる別の読み出し及びリセット回路について述べる。この回路は、特開平9-20558号公報に開示されている。

【0172】図22は同公報に説明されている上記回路の1画素分の等価回路図である。

【0173】図22において、ここでは一画素あたり、受光素子D1、受光素子D1をリセットするためのリセット用MOSスイッチM1、受光素子D1の信号電荷を電圧信号に変換するための第1MOSソースホロアM2、受光素子D1のリセット時のノイズ信号を蓄積期間中保持するためのMOSスイッチM3、及び保持容量605、保持容量605の信号をインピーダンス変換するための第2MOSソースホロアM4、リセット直後のノイズ信号電荷を読み出すためのMOSスイッチ607、及びノイズ信号保持容量609、光信号蓄積後の光信号電荷を読み出すためのMOSスイッチ608、及び光信号保持容量610を有する。

【0174】また、この回路には、上記ノイズ信号保持容量609のノイズ信号、及び上記光信号保持容量610の光信号を、それぞれノイズ信号共通出力線690、及び光信号共通出力線691に順次読み出すためのシフトレジスタ613と、ノイズ信号共通出力線690、及

25

び光信号共通出力線691の電圧をインピーダンス変換するためのバッファアンプ614, 614' と、上記ノイズ信号共通出力線690、及び光信号共通出力線691の電圧の差分信号を得、かつ信号を増幅するための差動増幅アンプ615と、上記差動増幅アンプ615の出力をインピーダンス変換し、光電変換装置の外部に信号を出力する出力バッファアンプ692とが設けられている。そして1画素読み出しごとにノイズ信号共通出力線690、及び光信号共通出力線691をリセットするための共通出力線リセット手段693も設けられている。

【0175】図22に示した光電変換装置の光出力電圧VPは、以下の【数1】の式のようになる。

【0176】

【数1】  $V_p = [QP/Cpd] \cdot Gsf1 \cdot Gsf2 \cdot [CT/(CT+CH)] \cdot Gamp$   
ここで、

QP : 光信号電荷

Cpd : 受光部容量

Gsf1 : 第1ソースホロアM2のゲイン

Gsf2 : 第2ソースホロアM4のゲイン

CT : ノイズ信号、及び光信号蓄積容量の容量値

20

CH : ノイズ信号及び光信号共通出力線容量の容量値

Gamp : 差動増幅アンプ615のゲイン

である。

【0177】図22において、V1PD:受光素子のリセット直後の受光素子部の電位、V2PD:光電荷蓄積後の受光素子部の電位、とすると、上記式は、【数2】の式のように表すことができる。

【0178】

【数2】  $V2PD - V1PD = \Delta V PD = [QP/Cpd] = [Vp/[Gsf1 \cdot Gsf2 \cdot [CT/(CT+CH)] \cdot Gamp]]$   
ここで、 $\Delta V PD$ は光電荷による受光素子部の電位変化である。

【0179】従って、上記式において、V1PD及びV2PDを受光素子部における空乏化領域内に設定することにより、高感度な光電変換装置を実現することができる。

【0180】本実施例においては、上記各式において、

$Gsf1 = Gsf2 = 0.9$

$CT / (CT + CH) = 0.5$

$Gamp = 20$

電源電圧(VDD) : 5V

受光素子の空乏化電圧: -2V

光出力(Vp)の飽和出力: 2V

受光素子のリセット電圧(Vr) : 1V

と設定した。

【0181】従って、上記各式により、

(a) リセット直後の受光素子部の電位(V1PD) : 約

0.70V

(b) 飽和出力時の受光素子部の電位(V2PD) : 約

0.95V

となる。

【0182】上記の電源電圧、空乏化電圧の値より、受光素子部の電位が、3V以下であれば、受光素子部は空乏化状態となることがわかる。

【0183】上記各式からの(a), (b)よりリセット直後の受光素子部の電位(V1PD)、及び飽和出力時の受光素子部の電位(V2PD)は共に3V以下であるため、受光部容量が小さい範囲で使用でき、高感度になる。

【0184】尚、受光部容量を測定した結果、受光素子の電極領域の接合容量、ソースホロアMOSのゲート容量、リセットMOSのドレイン部の接合容量、その他、配線容量等の寄生容量等、すべての合計で、約25fFであった。

【0185】また本実施形態において、空乏化電圧のバラツキが-2V±2V程度ある場合、受光素子部の空乏化領域は1V~5Vとなるが、本実施例における動作点は空乏化領域の最小値である1Vよりも小さいため、空乏化電圧が±2V程度ばらついても高歩留まりが維持できる。

【0186】尚、上記で、リセット直後の受光素子部の電位が、リセット電圧(Vres)より小さくなっているのは、リセットスイッチにNMOSトランジスタを用いているため、リセットスイッチをオフする時に受光素子部の電位がマイナス側に振られることによるものである。

【0187】また、本実施形態は、本発明者らが特開平9-205588号公報に提案している光電変換装置に適用した例を示したが、本発明は本実施形態に限定されるものではなく、例えば、他の光電変換装置や固体撮像装置に適用できることは言うまでもない。

【0188】尚、図示していないが、本実施形態は、上記の構成の画素をラインセンサーとして、344個設けた1次光電変換装置を構成している。

【0189】本実施形態の光電変換装置を用いて、密着型イメージセンサを構成し、例えば、FAXやイメージスキャナ等の画像入力システムの画像読み取り装置として用いることにより、高速動作時においても残像特性が良好であるため、高品質な画像読み取りが実現でき、かつ高歩留まりであるため低コストな画像読み取り装置を40 提供することが可能となる。

【0190】(実施形態8)以下、本発明の実施形態8について、図23(A), 23(B)を用いて説明する。

【0191】図23(A)は、本実施形態の受光素子部の上面を、また、図23(B)は、図23(A)の線分J-J'における断面を示す。

【0192】図23(A), 図23(B)において、51は半導体基板である第1半導体領域、52は第2半導体領域である。それぞれの導電型はここではn型、p型である。また、第2半導体領域52は遮光層17で画成50 される。

された開口部OPの内部に形成されている。

【0193】また、第1半導体領域51と第2半導体領域52とによるpn接合により空乏層DLが形成されている。第1半導体領域51と第2半導体領域52との間には、逆バイアスが印加されており、不純物濃度の低い領域51側に多く空乏層DLが延びている。絶縁膜9のコンタクトホールCHを介して第2半導体領域52に電極15が接続されている。

【0194】当該受光素子に光が照射されると、空乏層DL内及びその周辺で電荷が発生する。その電荷は、第2半導体領域52に収集される。一方、半導体基板主表面と絶縁膜9との界面には、結晶欠陥が多く存在する。この結晶欠陥が電子-正孔対の発生準位となり、暗電流発生の原因となる。特に、空乏層DL付近の結晶欠陥による影響が大きい。

【0195】また、電極15を形成する際、形成位置を、空乏層DLが電極15によって覆われていない位置まで延びているとエッチング等によるダメージにより、結晶欠陥の量は増加し、暗電流が増加する。

【0196】そこで、本実施形態の受光素子の構造は、空乏層DLと絶縁膜9とが接している部分59を、絶縁膜9を介して電極15で覆うことにより、電極形成時のエッチングダメージが空乏層DLに及ばないため、暗電流を低減することができる。

【0197】また、フォトリソグラフィーにおけるアライメントズれを加味して、必ず空乏層DLと絶縁膜15とが接している部分59上に電極15が形成されるようとする。これによって、空乏層DL付近に発生する結晶欠陥の量がプロセスばらつきによって変動することを抑える。従って、プロセスばらつきによる暗電流のばらつきが低減する。

【0198】本実施形態においては、電極15には例えば、Al、Al合金、Ti、Ti合金、W、W合金、Co、Co合金、Ta、Ta合金、Mo、Mo合金、Cu、Cu合金、WN、TiN、TaN、Cr、Cr合金等の金属、合金及び化合物が用いられる。又はそれらは複数の種類の積層体であってもよい。又は、例えばドーブドポリシリコン等のようにシリコンを主体とする導電材料として用いることができる。

【0199】(実施形態9)図24(A)は、受光素子の上面を、また、図24(B)は、図24(A)のK-K'における断面を示している。

【0200】図24において、66はn型半導体基板、67はn型半導体基板66にイオン注入して形成した埋込n'型領域、61はn'型領域67上に形成した第1半導体領域であるn'型エピタキシャル層、68はn'型エピタキシャル層61にイオン注入法により形成し埋込n'型領域に接するn'型領域である。

【0201】また、62は第2半導体領域であり且つ電極領域であって、具体的にはp型の高濃度不純物領域か

らなる。63はn型領域であり、半導体基板の主表面(エピタキシャル層の表面)での空乏層DLの広がりを抑えるために設けられている。A1を主成分とした金属等により形成された電極15は、基板の主表面上に形成された絶縁膜9のコンタクトホールCHを介して、電極領域62と電気的に接続されている。さらに、17は遮光層、OPは開口部、5は素子分離用のLOCOS絶縁膜、9は遮光層17と電極15とを絶縁する層間絶縁膜である。

【0202】なお、本実施形態では、n型基板66と、n'+型領域67と、n'-型エピタキシャル層61と、n'+型領域68と、n型領域63と、電極領域62とによって、形成される半導体部分を基板と称する。

【0203】図24において、n'-型エピタキシャル層61をその下部と周囲にあるn'+型領域67と68とで囲むような構造にしたことにより、ポテンシャルバリアを形成した。この結果、光によって発生したキャリアのうち正孔は、最終的に最もポテンシャルの低いp型の電極領域62に集められる。

【0204】空乏層DLは、電極領域62の周囲に形成される。ここで、電極領域62の不純物濃度を約 $3 \times 10^{19} \text{ cm}^{-3}$ 、n型領域63の不純物濃度を約 $2 \times 10^{17} \text{ cm}^{-3}$ とし、これらに3Vの逆バイアス電圧を印加した場合には、空乏層DLの層幅は約0.14μmとなる。空乏層DLの大部分が電極領域62とn'+型領域61とのpn接合面よりn'-型領域61側に広がった。基板表面では、n型領域63によって、空乏層DLの広がりが抑えられている。

【0205】電極15は、空乏層DLが層間絶縁膜9に接している部分の上部を覆うように、電極領域62よりも、例えば0.4μm大きく配置した。これによって、電極62を形成した時のエッチングダメージやレジストのアッシングによるダメージによって発生した結晶欠陥は、空乏層DLには及ばず、暗電流が低減される。

【0206】電極15が空乏層DLと絶縁膜9とが接している部分59を覆うように形成した場合と、そうでない場合で、暗電流を比較した結果、空乏層DLが絶縁膜9に接している部分の上部を完全に覆うように形成すると、暗電流は2/3に低減する。すなわち、電極15の大きさ及び形成位置によって、暗電流を低減することができる。

【0207】なお、説明を簡略化するために、基板66及び領域67、68、エピタキシャル層61、領域63をn型とし、領域62をp型として説明したが、本実施形態は、この導電型に限定されるものではなく、おののが上記と反対の導電型でもよい。

【0208】また、本実施形態においては、n'-型エピタキシャル層61をn'+型領域67、68とによって囲むような構造として、ポテンシャルバリアを形成し、光キャリアの隣接画素への混入を防止している。光キャリ

アが隣接画素に混入しないため、クロストークの発生をほぼ完全に抑制することによって、高品質な解像バターンを得ることができる。

【0209】(実施形態10) 図25(A)は、受光素子の上面を示し、また、図25(B)は、図25(A)の線分L-L'における断面を示している。

【0210】図25において、76はn型基板である。77はn型基板76にイオン注入して形成した埋込n<sup>+</sup>型領域、71はn<sup>-</sup>型領域77上に形成した第1半導体領域であるn<sup>-</sup>型エビタキシャル層、78はn<sup>-</sup>型エビタキシャル層にイオン注入して形成したn<sup>-</sup>型領域であり、エビタキシャル層71の周囲を囲んでいる。

【0211】また、72は第2半導体領域である。74は電極領域であり、具体的にはp型の高濃度不純物領域からなる。73はn型領域であり、基板の主表面での空乏層DLの広がりを抑えるために設けられている。15は電極であり、A1を主成分とした金属等で形成する。電極15は、基板の主表面上に形成された絶縁膜9のコンタクトホールCHを介して、電極領域74に電気的に接続されている。

【0212】電極領域74を微細化した際、不純物濃度の高い電極領域に空乏層DLが広がるとその空乏層中の欠陥により、暗電流が増大してしまう。p<sup>-</sup>型の半導体領域72はそれを抑制するために設けられている。また、OPは開口部、5は素子分離絶縁膜、上方の層間絶縁膜9は遮光層17と電極15とを絶縁する絶縁膜である。

【0213】なお、本実施形態では、n型基板76と、n<sup>+</sup>型領域77と、n<sup>-</sup>型エビタキシャル層71と、n<sup>-</sup>型領域78と、n型領域73と、電極領域74とによって、形成されるものを基板と称する。

【0214】図25において、n<sup>-</sup>型エビタキシャル層71を、n<sup>-</sup>型領域77と78とで囲むような構造にしたことにより、ポテンシャルバリアを形成しているので、光によって発生したキャリアのうち正孔は、最終的に最もポテンシャルの低いp型の電極領域74に集められた。

【0215】空乏層DLは、p型領域72の周囲に形成される。ここで、p型領域72の不純物濃度を約3×10<sup>19</sup>cm<sup>-3</sup>、n型領域73の不純物濃度を約2×10<sup>17</sup>cm<sup>-3</sup>とし、これらに3Vの逆バイアス電圧を印加した場合には、空乏層DLの層幅は約0.15μmとなつた。空乏層DLの大部分がp型領域72とn型領域71とのpn接合面よりn型領域71側に広がった。

【0216】電極15は、空乏層DLと絶縁膜9とが接している部分69を覆うようにp型領域72よりも、例えば0.4μm大きく配置した。これによって、電極15を形成した時のエッチングダメージやレジストのアッショングによるダメージによって発生した基板表面の結晶欠陥は、空乏層DL内には及ばないので、暗電流を低減

できる。

【0217】なお、説明を簡略化するために、基板76及び領域77、78、エビタキシャル層71、領域73をn型とし、領域72、74をp型として説明したが、本実施例はこの導電型に限定されるものではなく、おののが上記と反対の導電型でもよい。

【0218】(実施形態11) 図26(A)は、本発明による実施形態11の受光素子の上面を、図26(B)は、図26(A)の線分M-M'における断面図である。

【0219】図26において、86はp型基板、81は第1半導体領域であるn型領域、82は第2半導体領域であるp型領域、83は第3半導体領域であるn<sup>+</sup>型領域である。

【0220】また、84は電極領域であるp型の高濃度不純物領域、すなわちp<sup>+</sup>型領域からなり、基板の主表面でn<sup>-</sup>型領域83とオフセット領域OFを間に介して配置した。また、15は電極であり、A1を主成分とした金属等で形成される。電極15は、p型基板86の主表面上に形成された絶縁膜9のコンタクトホールCHを介して、p<sup>+</sup>型領域84と電気的に接続されている。DLは空乏層である。

【0221】p型領域82を、n型領域81とn<sup>+</sup>型領域83とで挟む構造とした。これによって、空乏層DLは、p型領域82の下面側のp接合と上面側pn接合とに形成され、ポテンシャルの低い溝のような状態を半導体領域82中に形成する。

【0222】この結果、光によって発生した電荷のうち正孔がp型領域82に集められ、最終的に最もポテンシャルの低いp<sup>+</sup>型領域84に集められる。また、主としてn型領域81の不純物濃度と、p型領域82、n<sup>+</sup>型領域83の不純物濃度及び接合深さと、それらのpn接合のバイアス電圧とを適宜設定することにより、n型領域81のほぼ全体を空乏化することもできる。その結果、p型領域82は、受光素子の容量にほとんど寄与しなくなり、受光素子の容量の低減を図ることができた。

【0223】オフセット領域OFを形成しないで、電極領域84とn<sup>+</sup>型領域83とを接触させた場合に、電極領域84とn<sup>+</sup>型領域83との間に逆バイアスが印加されるとブレークダウンを引き起こし、大量のリーク電流がp<sup>+</sup>型領域84に流れ込むので好ましくない。

【0224】また、オフセット領域OFを小さくしきぎると、フォトリソグラフィーにおけるアライメントずれ等により、p<sup>+</sup>型領域84とn<sup>+</sup>型領域83とが接触する確率が高くなる。これは、受光素子の歩留まりを低下させるため、本実施形態においては、p<sup>+</sup>型領域84と左右のn<sup>+</sup>型領域83との間にそれぞれ1μmのオフセット領域OFが設けられている。

【0225】電極15は、空乏層DLと絶縁膜9とが接している部分89を覆うように形成した。そのため、電

極15形成時のエッティングダメージやレジストのアッシングによるダメージによって発生した基板表面の結晶欠陥は、空乏層DL内には及ばず、暗電流が低減される。

【0226】なお、本実施形態は、この導電型に限定されるものではなく、おののの導電型が上述したものと反対の導電型でもよい。

【0227】また、本実施形態において、n型領域81は、p型基板86中に形成して、光キャリアの隣接画素への混入を防止している。従って、クロストークの発生がほぼ完全に抑制され、高品質な解像パターンが得られる。

【0228】ある画素に、蓄積飽和値以上の光キャリアが発生しても、あふれた光キャリアはn型領域81の周囲にあるp型領域86に吸収されるため、他の画素へ影響を与えることなく、にじみの少ない、高品質な画像を得ることができる。

【0229】図27(A)～27(C)、図28(A)～28(C)を参照して、本実施形態による受光素子の製造方法について述べる。

【0230】p型半導体基板86を用意し、イオン注入等により、n型半導体からなるn型領域81を形成する(図27(A))。

【0231】選択酸化法によりフィールド絶縁膜5を形成し、その後、p型半導体領域82を形成する(図27(B))。

【0232】n<sup>+</sup>型の半導体領域83を形成した後、p<sup>+</sup>型の電極領域84を形成する。ここで、必要に応じて半導体領域83と電極領域84との間のオフセット領域に低濃度のドーバントイオンを注入してもよい(図27(C))。

【0233】次に、PSG(PhosphoSilicate Glass:リンをドープした酸化膜)、BSG(BoroSilicate Glass)、BPSG(BoroPhosphoSilicate Glass)等からなる絶縁膜9を形成し、電極領域84の上に開孔CHを形成する(図28(A))。

【0234】次に、スパッタリング等によりAl-Cu等の導電性材料の層15を形成する(図28(B))。この時、導電性材料の層15の下方にTiN等のバリアメタルを形成してもよい。

【0235】そして、導電性材料の層15を、BC1<sub>x</sub>C<sub>1-x</sub>等を用いたドライエッティングにより、オフセット部を覆うように導電性材料の層15を残して、パターニングする。こうしてアノード電極15が得られる。

【0236】以上説明した実施形態8～11の受光素子においても、図4、図7、図21～図22に示した読み出し及びリセット回路を用いることができる。

【0237】また、本発明は特開平9-205588号公報に提案している光電変換装置に好ましく適用できるが、例えば、他の光電変換装置や固体撮像装置も適用で

き、上述した本発明の受光素子を用いることにより、製造工程上における高歩留まりの固体撮像装置を製造できるので、必然的に高品質の装置を提供できる。

【0238】

【発明の効果】本実施形態の光電変換装置を用いて、密着型イメージセンサを構成し、例えば、FAXやイメージキャナ等の画像入力システムの画像読み取り装置として用いることにより、低暗電流が実現されるため高品質な画像読み取りが実現でき、かつ高歩留まりであるため、低コストな画像読み取り装置を提供することが可能となった。

【0239】以上示したように、暗電流が低減可能な受光素子を得ることができ、さらに製造プロセスがばらついても、暗電流のばらつきの少ない高性能な光電変換装置を実現することができるため、高品質な画像が得られ、かつ低コストな画像読み取り装置や画像入力システムを提供することができる。

【図面の簡単な説明】

【図1】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図、(C)は本発明の実施形態による受光素子の横方向のポテンシャルプロファイルを示す模式図、(D)は本発明の実施形態による受光素子の縦方向のポテンシャルプロファイルを示す模式図である。

【図2】本発明の実施形態による受光素子における不純物濃度分布を示す図である。

【図3】受光素子における印加電圧と容量の関係を示す図である。

【図4】本発明に用いられる読み出し及びリセット回路の回路図である。

【図5】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図6】(A)～(C)は本発明の実施形態による受光素子の製造方法の一例を示す模式的断面図である。

【図7】本発明に用いられる読み出し及びリセット回路の回路図である。

【図8】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図9】本発明の実施形態による受光素子の横方向のポテンシャルプロファイルを示す模式図である。

【図10】(A)～(C)は本発明の実施形態による受光素子の製造方法の一例を示す模式的断面図である。

【図11】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図12】本発明の実施形態による受光素子の上面図である。

【図13】本発明の実施形態による受光素子の断面図で

ある。

【図14】本発明の実施形態による受光素子の断面図である。

【図15】本発明の実施形態による受光素子の上面図である。

【図16】本発明の実施形態による受光素子の断面図である。

【図17】本発明の実施形態による受光素子の断面図である。

【図18】本発明の実施形態による受光素子の上面図である。

【図19】本発明の実施形態による受光素子の断面図である。

【図20】(A)～(D)は本発明の実施形態による受光素子の製造方法の一例を示す模式的断面図である。

【図21】本発明に用いられる読み出し及びリセット回路の回路図である。

【図22】本発明に用いられる読み出し及びリセット回路の回路図である。

【図23】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図24】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図25】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図26】(A)は本発明の実施形態による受光素子の上面図、(B)は本発明の実施形態による受光素子の断面図である。

【図27】(A)～(C)は本実施形態による受光素子\*

\*の製造方法の一例を示す図である。

【図28】(A)～(C)は本実施形態による受光素子の製造方法の一例を示す図である。

【図29】(A), (B)は従来の受光素子の断面図である。

【図30】従来の受光素子の上面図である。

【図31】従来の受光素子の断面図である。

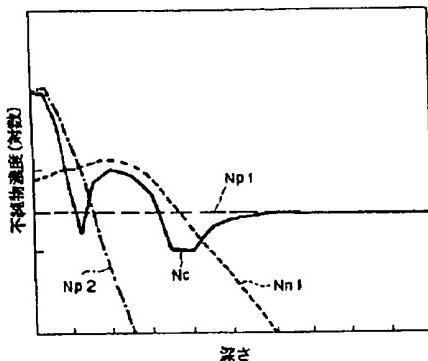
【図32】従来の受光素子の断面図である。

【図33】従来の受光素子の断面図である。

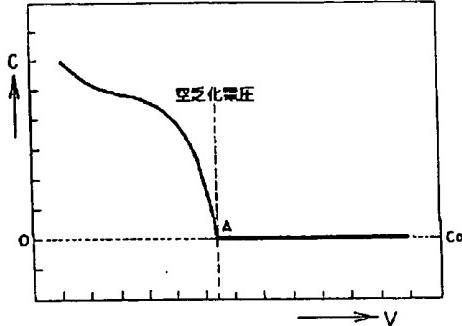
#### 【符号の説明】

- 1, 11, 31 第1半導体領域
- 2, 12, 32 第2半導体領域
- 3, 13, 33 第3半導体領域
- 4, 14, 34 ポテンシャルの低い領域（電極領域）
- 5 素子分離領域
- 15 配線
- 16 電源線
- 17 遮光層
- 101 電極領域
- 102 ホトダイオード領域（受光領域）
- 103 エッチ
- 104 エッチ
- 605 保持容量
- 609 ノイズ信号保持容量
- 610 光信号保持容量
- 614 バッファアンプ
- 615 差動増幅アンプ
- 690 ノイズ信号共通出力線
- 691 光信号共通出力線
- M1 リセット用MOSトランジスタ
- M2 増幅用MOSトランジスタ
- M3 選択用MOSトランジスタ

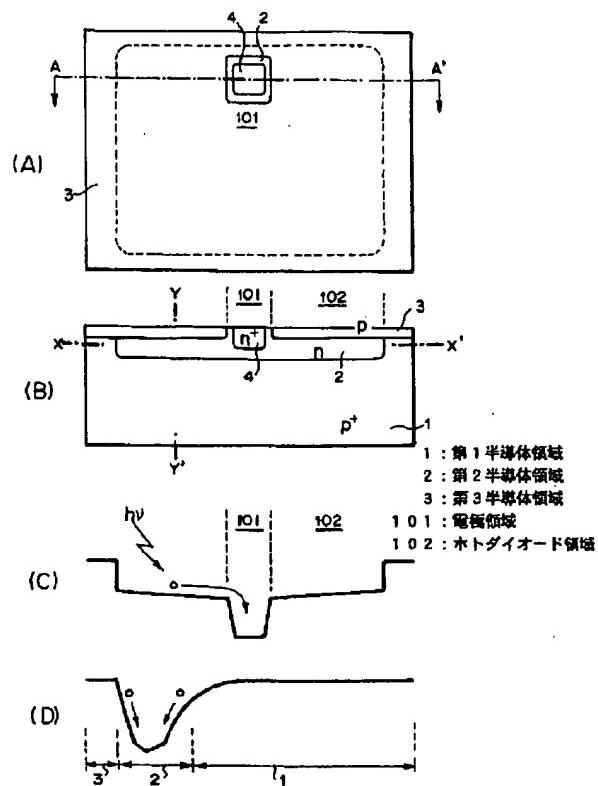
【図2】



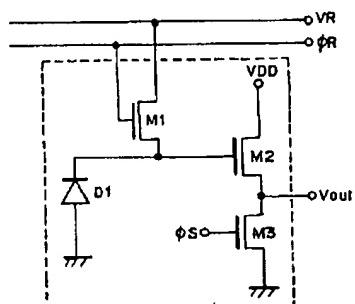
【図3】



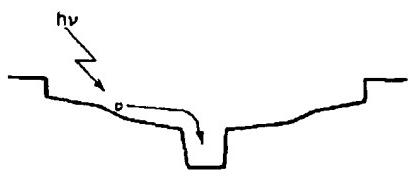
【図1】



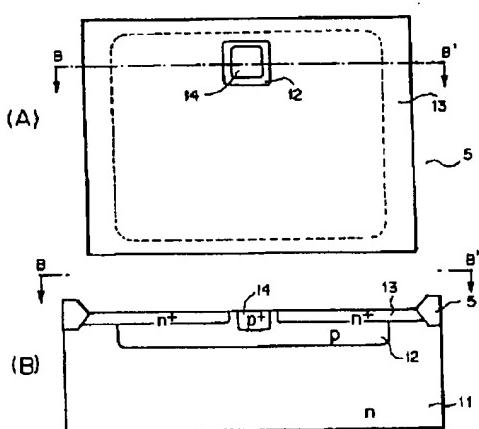
【図4】



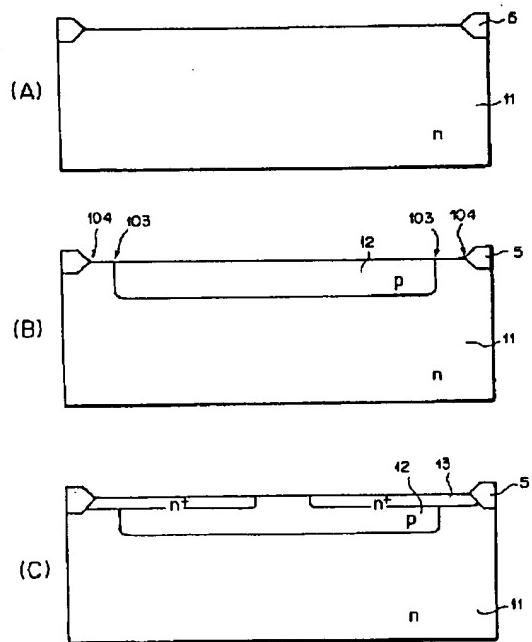
【図9】



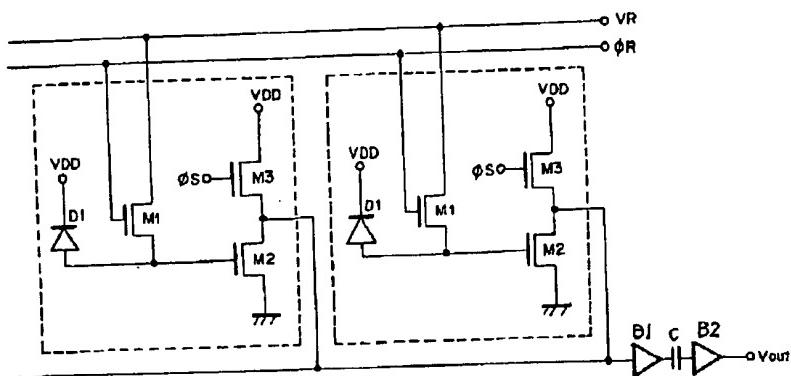
【図5】



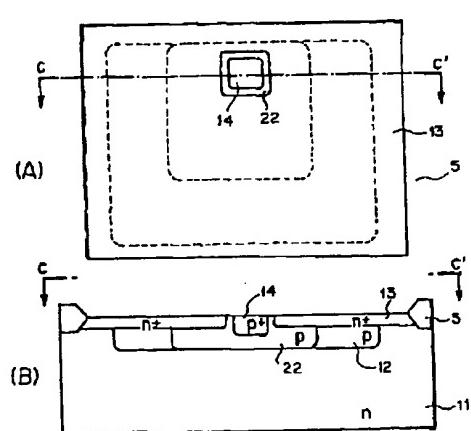
【図6】



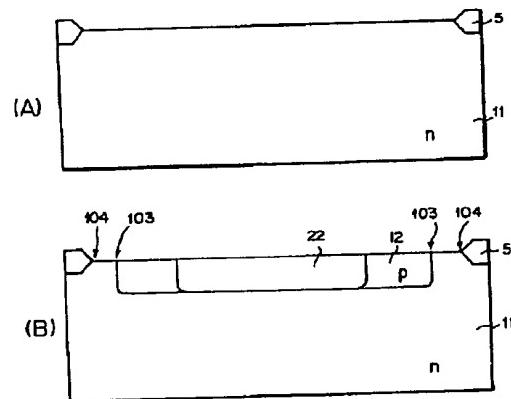
【図7】



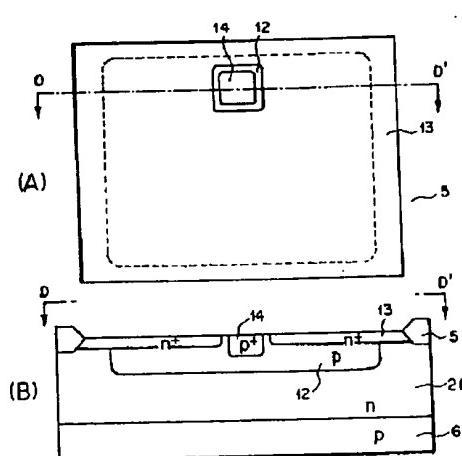
[図8]



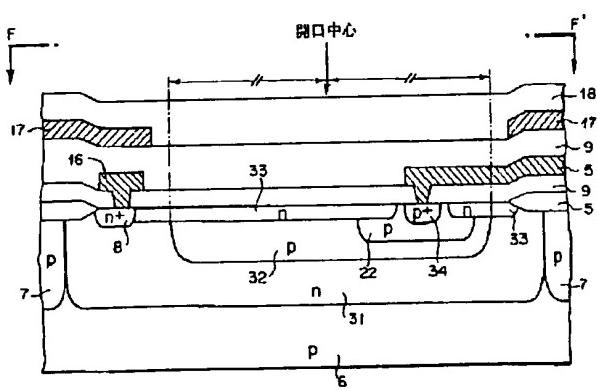
[図10]



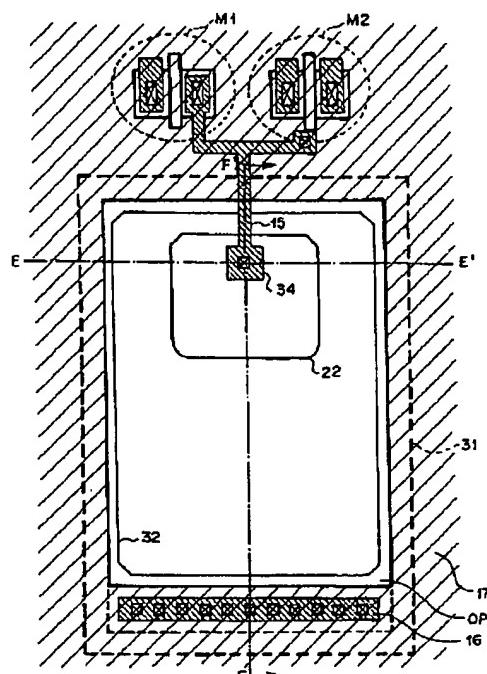
[图 11]



[図14]

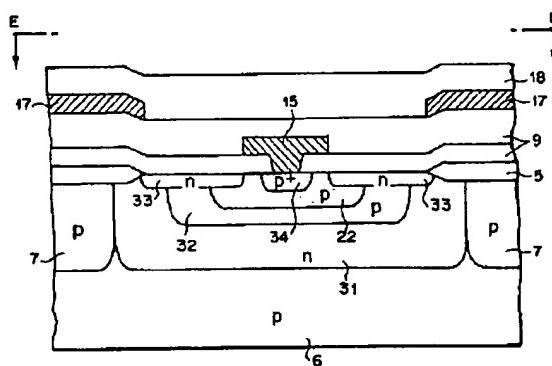


【図12】



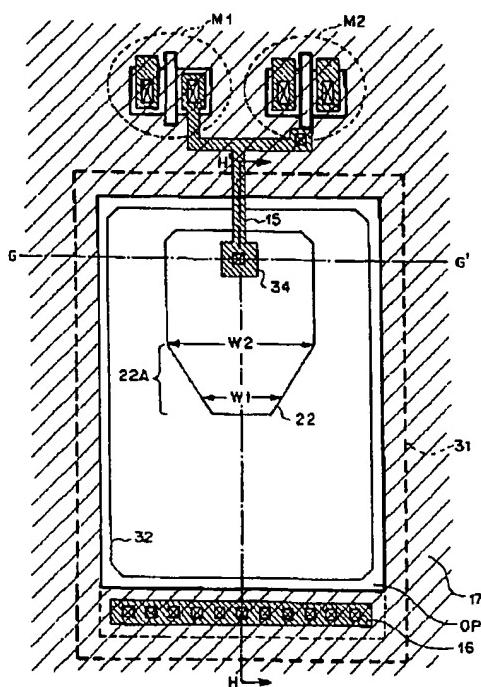
1.6 : 電源極  
2.2 : 第2 p型領域  
3.1 : n型ウエル領域  
3.2 : 第1 p型領域  
3.4 : p<sup>+</sup>型領域  
M1 : リセットMOSトランジスタ  
M2 : ソースホロアMOSトランジスタ  
O.P : 開口部  
16 : 電源線  
22 : 第2 p型領域  
31 : n型ウエル領域  
32 : 第1 p型領域  
F : 電源線  
OP : 開口部

【図13】

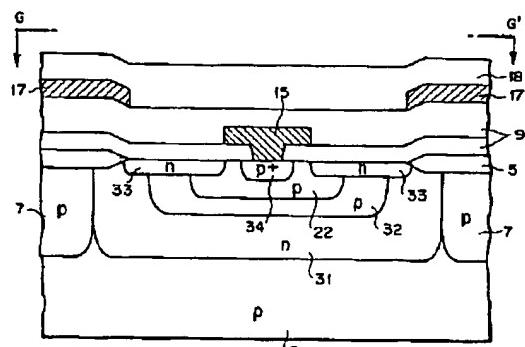


6 : p型半導体基板	2.2 : 第2 p型領域
7 : p型領域	3.1 : n型ウエル領域
9 : 絶縁膜	3.2 : 第1 p型領域
15 : 配線	3.3 : n型表面領域
17 : 遮光層	3.4 : p <sup>+</sup> 型領域
18 : 保護膜	

【図15】

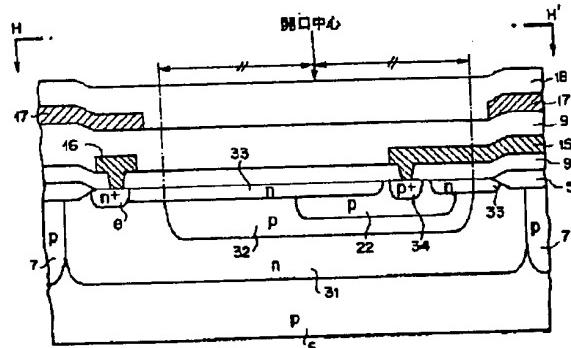


【図16】

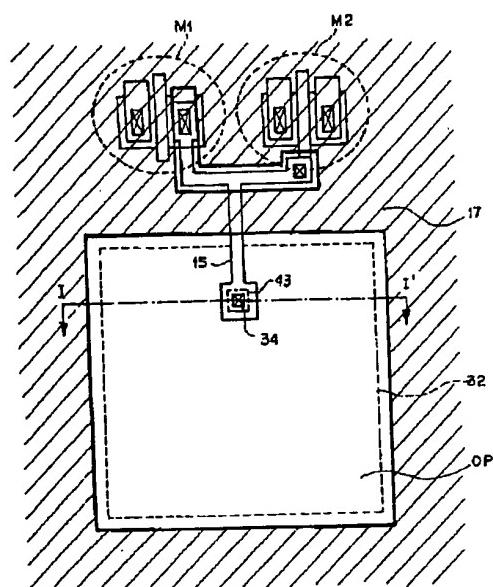


6 : p型半導体基板	2.2 : 第2 p型領域
7 : p型領域	3.1 : n型ウエル領域
9 : 絶縁膜	3.2 : 第1 p型領域
15 : 配線	3.3 : n型表面領域
17 : 遮光層	3.4 : p <sup>+</sup> 型領域
18 : 保護膜	

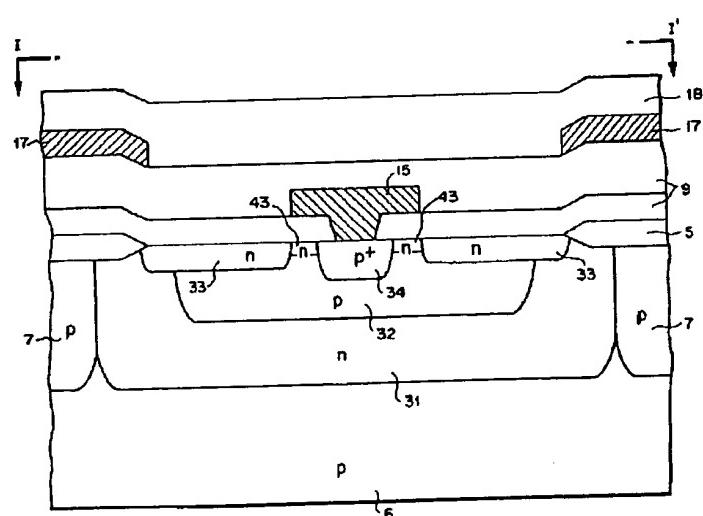
【図17】



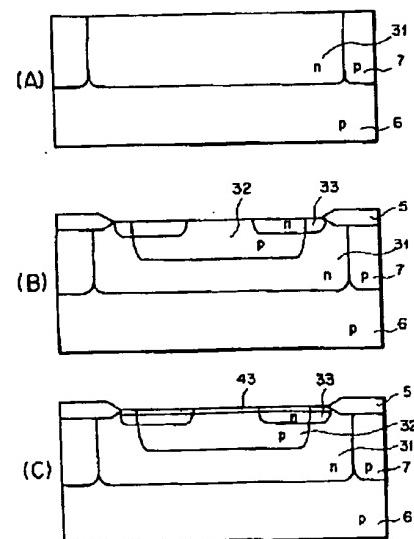
【図18】



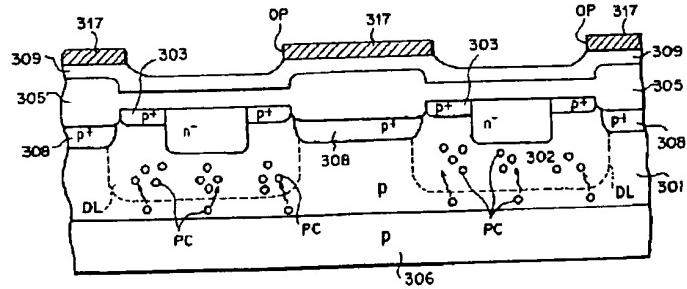
【図19】



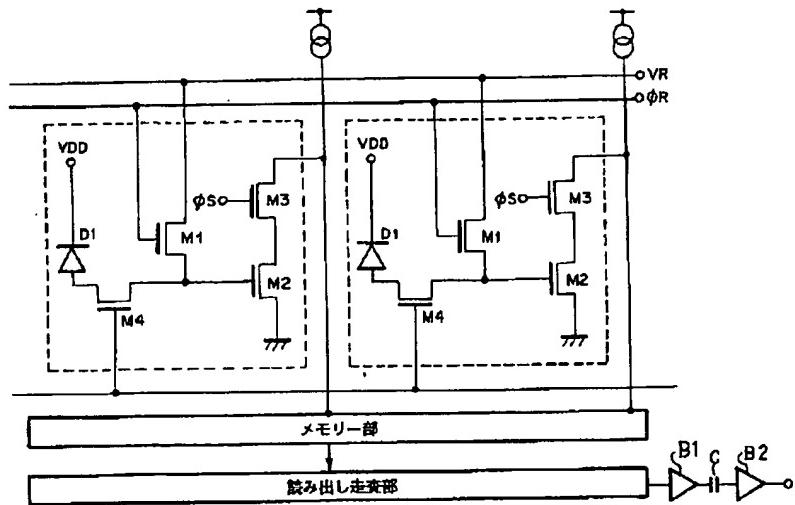
【図20】



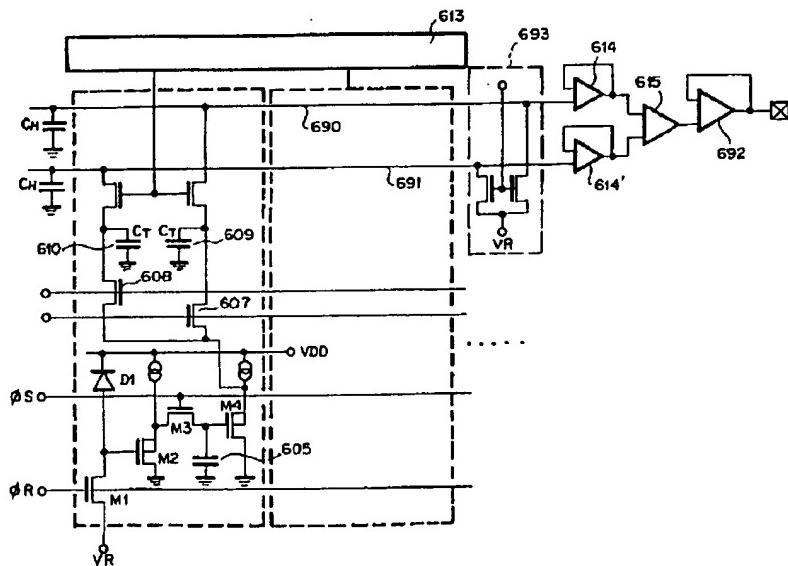
【図31】



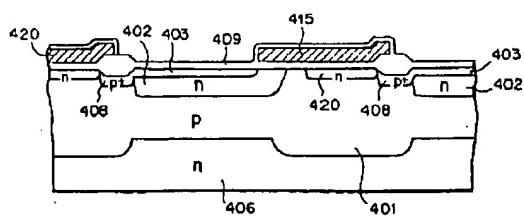
【図21】



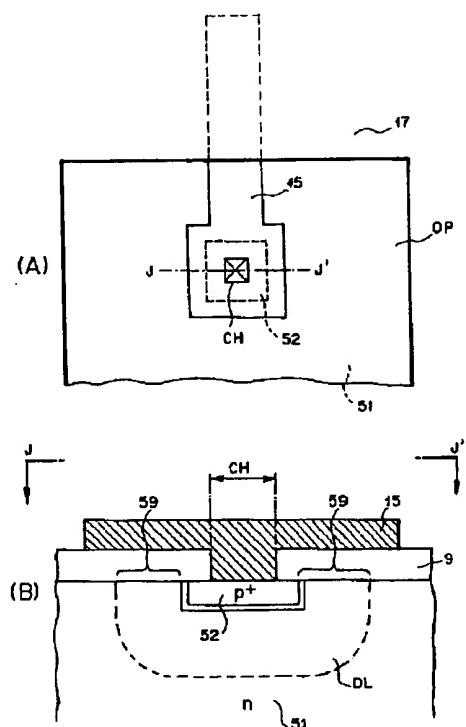
【図22】



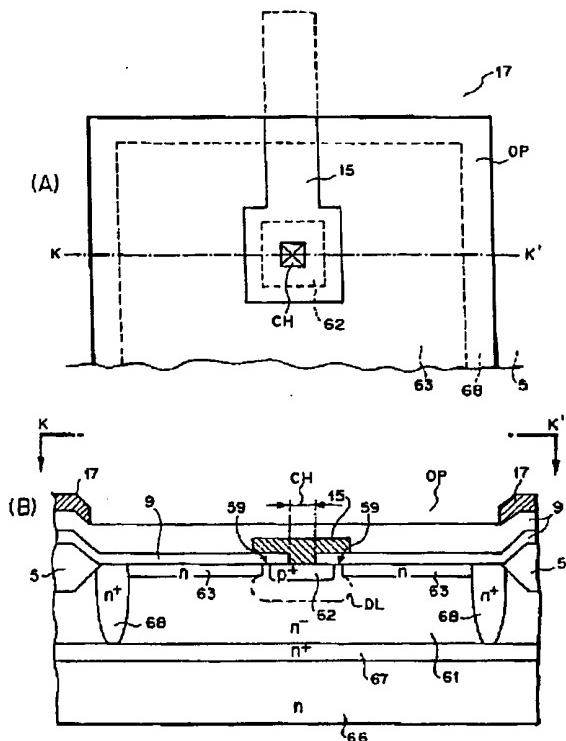
【図32】



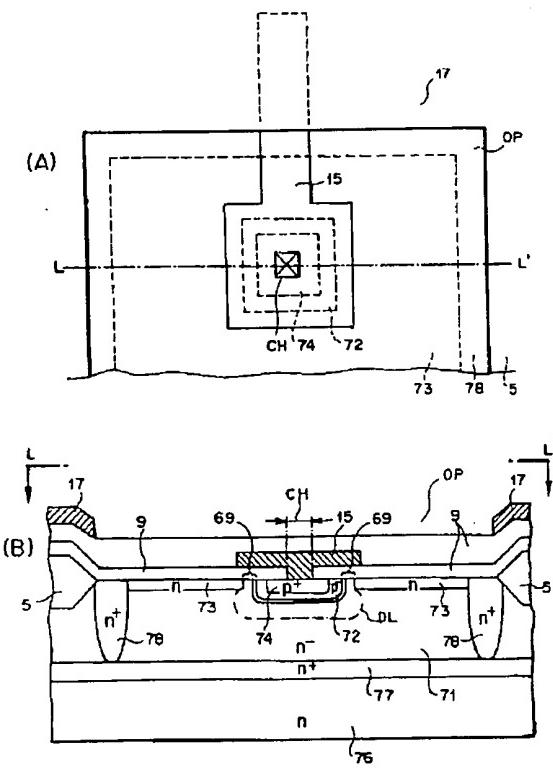
【図23】



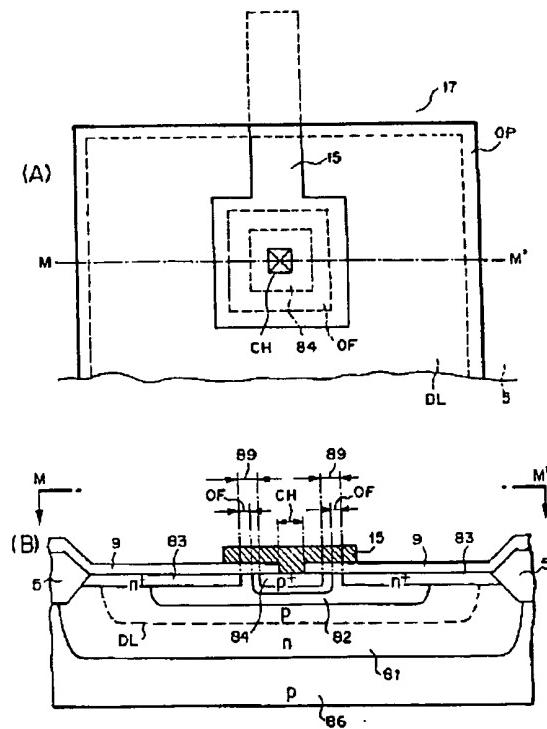
【図24】



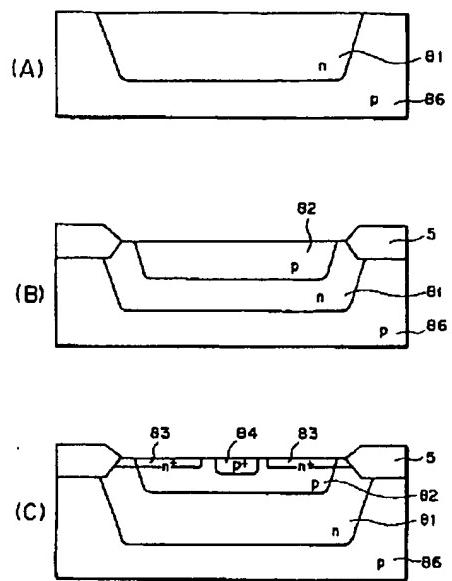
【図25】



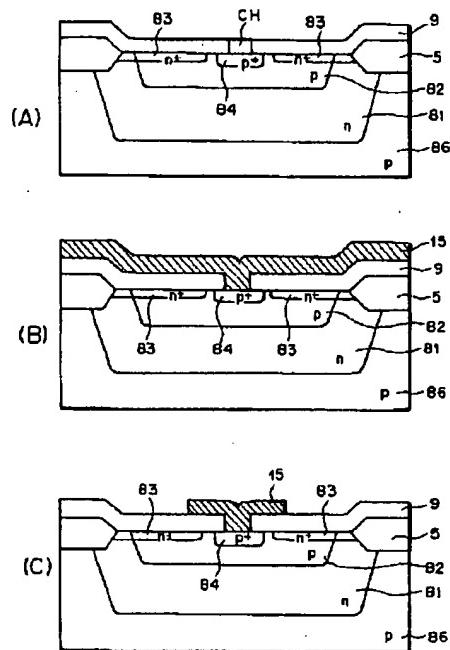
【図26】



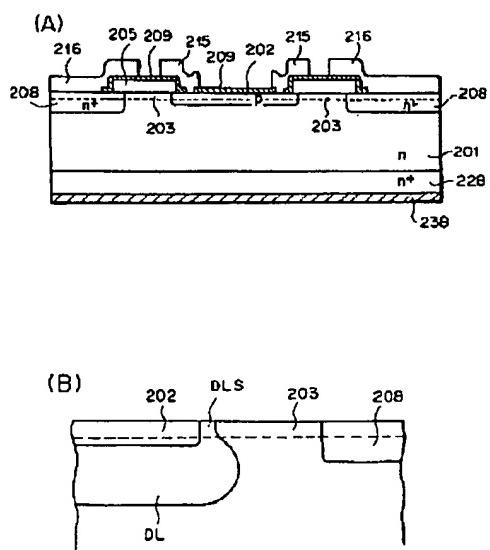
【図27】



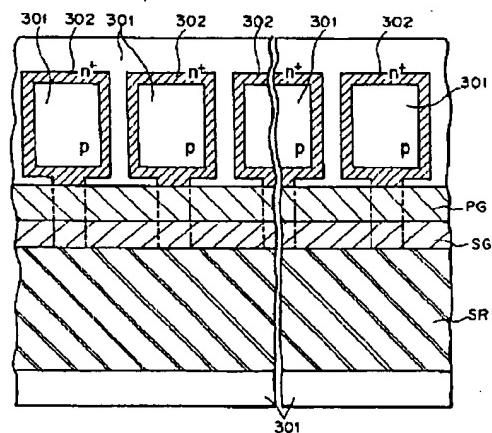
【図28】



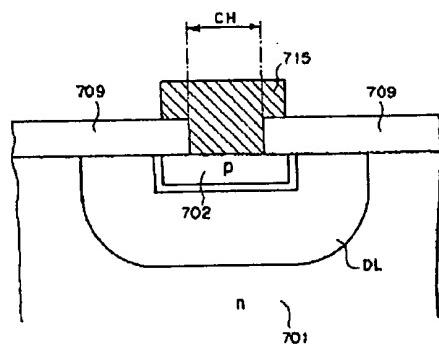
【図29】



【図30】



【図33】



## フロントページの続き

(31) 優先権主張番号 特願平11-49190

(32) 優先日 平成11年2月25日(1999. 2. 25)

(33) 優先権主張国 日本(JP)

(31) 優先権主張番号 特願平11-49209

(32) 優先日 平成11年2月25日(1999. 2. 25)

(33) 優先権主張国 日本(JP)

(72) 発明者 澤田 幸司

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内